

特長

- 最小のピン互換オクタールDAC
LTC2600: 16ビット
LTC2610: 14ビット
LTC2620: 12ビット
- 全温度範囲で16ビット単調性を保証
- 広い電源電圧範囲: 2.5V~5.5V
- 低消費電力動作: 250 μ A/DAC (3V電源時)
- 各チャンネルが個別に1 μ A (最大)までパワーダウン
- 非常に小さいDAC間クロストーク: 10 μ V未満
- 高いレール・トゥ・レール出力ドライブ: \pm 15mA (最小)
- ダブルバッファ・デジタル入力
- 10/8ビット・バージョンのLTC1660/LTC1665とピン互換
- 小型16ピン細型SSOPパッケージ
および20ピン4mm \times 5mm QFNパッケージ

アプリケーション

- モバイル通信
- プロセス制御、産業用オートメーション
- 計測
- 自動テスト装置

概要

LTC[®]2600/LTC2610/LTC2620は、オクタールの16、14、12ビット、2.5V~5.5V動作、レール・トゥ・レール電圧出力DACで、16ピン細型SSOPパッケージおよび4mm \times 5mm QFNパッケージで供給されます。高性能出力バッファを内蔵しており、単調性が保証されています。

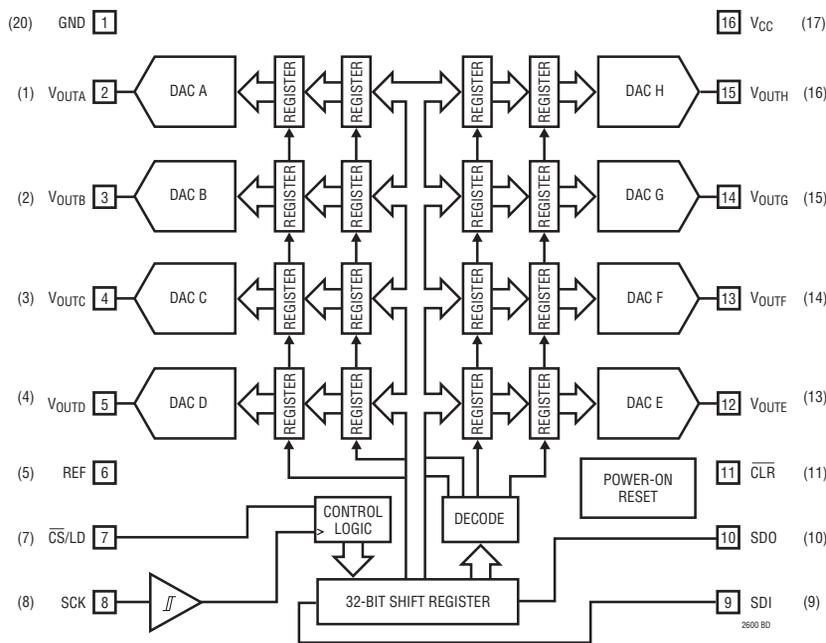
これらのデバイスにより16ビットDACと14ビットDACのボード実装密度の新たな基準が確立され、単一電源、複数電圧出力の出力ドライブ、クロストーク、ロード・レギュレーションの標準性能レベルが向上します。

これらのデバイスは、最大50MHzのクロック・レートで動作可能なシンプルなSPI/MICROWIRE互換3線シリアル・インタフェースを使用します。デジチェーン接続が可能で、ハードウェアCLR機能を搭載しています。

LTC2600/LTC2610/LTC2620はパワーオン・リセット回路を内蔵しています。パワーアップ時の出力電圧はゼロスケールから10mV以内で、パワーアップ後は有効な書き込みや更新が行われるまでゼロスケールを維持します。

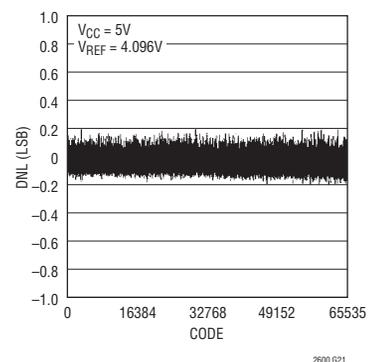
LT, LTC, LTM, Linear TechnologyおよびLinearのロゴはリアテクノロジ社の登録商標です。他のすべての商標はそれぞれの所有者に所有権があります。

ブロック図



NOTE: 括弧内はUFDFパッケージの番号

微分非直線性 (LTC2600)



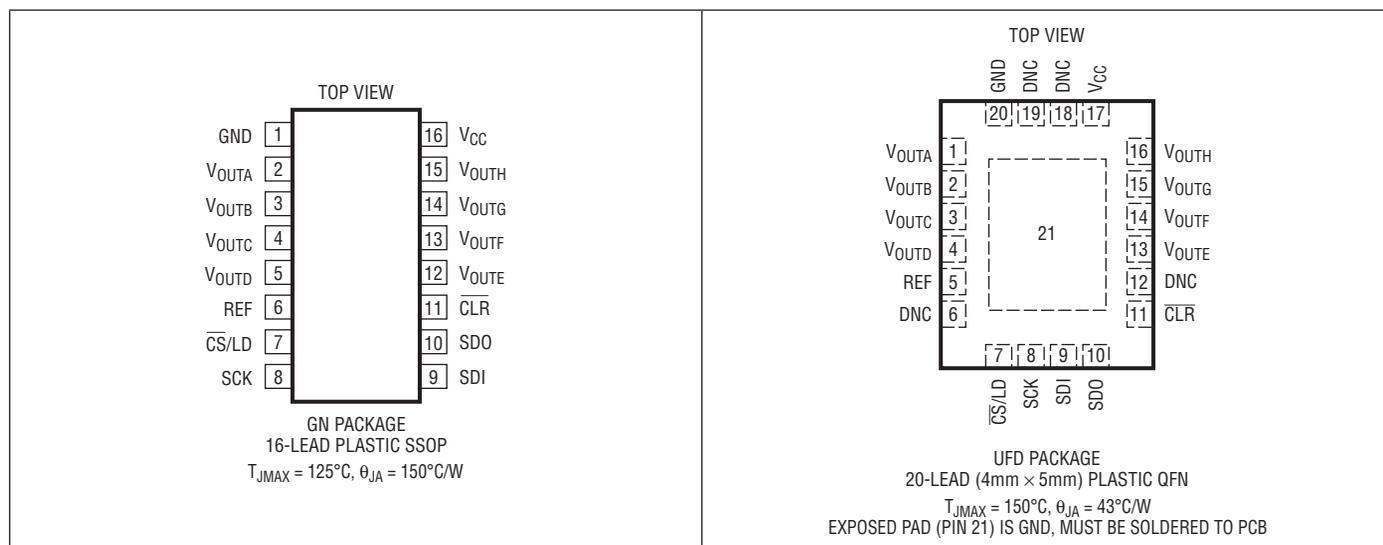
LTC2600/LTC2610/LTC2620

絶対最大定格 (Note 1)

すべてのピン-GND間 -0.3V~6V
 すべてのピン-V_{CC}間 -6V~0.3V
 動作温度範囲
 LTC2600C/LTC2610C/LTC2620C 0°C~70°C
 LTC2600I/LTC2610I/LTC2620I -40°C~85°C

保存温度範囲 -65°C~150°C
 最大接合部温度 125°C
 リード温度 (半田付け、10秒) 300°C

ピン配置



発注情報

鉛フリー仕様	テープアンドリール	製品マーキング*	パッケージ	温度範囲
LTC2600CUFD#PBF	LTC2600CUFD#TRPBF	2600	20-Lead (4mm × 5mm) Plastic DFN	0°C to 70°C
LTC2600IUFD#PBF	LTC2600IUFD#TRPBF	2600	20-Lead (4mm × 5mm) Plastic DFN	-40°C to 85°C
LTC2600CGN#PBF	LTC2600CGN#TRPBF	2600	16-Lead Plastic SSOP	0°C to 70°C
LTC2600IGN#PBF	LTC2600IGN#TRPBF	2600I	16-Lead Plastic SSOP	-40°C to 85°C
LTC2610CUFD#PBF	LTC2610CUFD#TRPBF	2610	20-Lead (4mm × 5mm) Plastic DFN	0°C to 70°C
LTC2610IUFD#PBF	LTC2610IUFD#TRPBF	2610	20-Lead (4mm × 5mm) Plastic DFN	-40°C to 85°C
LTC2610CGN#PBF	LTC2610CGN#TRPBF	2610	16-Lead Plastic SSOP	0°C to 70°C
LTC2610IGN#PBF	LTC2610IGN#TRPBF	2610I	16-Lead Plastic SSOP	-40°C to 85°C
LTC2620CUFD#PBF	LTC2620CUFD#TRPBF	2620	20-Lead (4mm × 5mm) Plastic DFN	0°C to 70°C
LTC2620IUFD#PBF	LTC2620IUFD#TRPBF	2620	20-Lead (4mm × 5mm) Plastic DFN	-40°C to 85°C
LTC2620CGN#PBF	LTC2620CGN#TRPBF	2620	16-Lead Plastic SSOP	0°C to 70°C
LTC2620IGN#PBF	LTC2620IGN#TRPBF	2620I	16-Lead Plastic SSOP	-40°C to 85°C

さらに広い動作温度範囲で規定されるデバイスについては、弊社または弊社代理店にお問い合わせください。*温度グレードは出荷時のコンテナのラベルで識別されます。非標準の鉛ベース仕様の製品の詳細については、弊社または弊社代理店にお問い合わせください。

鉛フリー仕様の製品マーキングの詳細については、<http://www.linear-tech.co.jp/leadfree/> をご覧ください。テープアンドリールの仕様の詳細については、<http://www.linear-tech.co.jp/tapeandreeel/> をご覧ください。

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 2.5\text{V} \sim 5.5\text{V}$ 、 $V_{REF} \leq V_{CC}$ 、 V_{OUT} 。

SYMBOL	PARAMETER	CONDITIONS	LTC2620			LTC2610			LTC2600			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
DC性能												
	Resolution		●	12		14		16				Bits
	Monotonicity	$V_{CC} = 5\text{V}$, $V_{REF} = 4.096\text{V}$ (Note 2)	●	12		14		16				Bits
DNL	Differential Nonlinearity	$V_{CC} = 5\text{V}$, $V_{REF} = 4.096\text{V}$ (Note 2)	●		± 0.5		± 1		± 1			LSB
INL	Integral Nonlinearity	$V_{CC} = 5\text{V}$, $V_{REF} = 4.096\text{V}$ (Note 2)	●	± 0.75	± 4		± 3	± 16		± 12	± 64	LSB
	Load Regulation	$V_{REF} = V_{CC} = 5\text{V}$, Mid-Scale $I_{OUT} = 0\text{mA}$ to 15mA Sourcing $I_{OUT} = 0\text{mA}$ to 15mA Sinking	●	0.025	0.125		0.1	0.5		0.3	2	LSB/mA
		$V_{REF} = V_{CC} = 2.5\text{V}$, Mid-Scale $I_{OUT} = 0\text{mA}$ to 7.5mA Sourcing $I_{OUT} = 0\text{mA}$ to 7.5mA Sinking	●	0.05	0.25		0.2	1		0.8	4	LSB/mA
ZSE	Zero-Scale Error	$V_{CC} = 5\text{V}$, $V_{REF} = 4.096\text{V}$ Code = 0		1	9		1	9		1	9	mV
V_{OS}	Offset Error	$V_{CC} = 5\text{V}$, $V_{REF} = 4.096\text{V}$ (Note 7)		± 1	± 9		± 1	± 9		± 1	± 9	mV
	V_{OS} Temperature Coefficient			± 3			± 3			± 3		$\mu\text{V}/^\circ\text{C}$
GE	Gain Error	$V_{CC} = 5\text{V}$, $V_{REF} = 4.096\text{V}$		± 0.2	± 0.7		± 0.2	± 0.7		± 0.2	± 0.7	%FSR
	Gain Temperature Coefficient			± 6.5			± 6.5			± 6.5		ppm/ $^\circ\text{C}$

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 2.5\text{V} \sim 5.5\text{V}$ 、 $V_{REF} \leq V_{CC}$ 、 V_{OUT} 。

SYMBOL	PARAMETER	CONDITIONS	LTC2600/LTC2610/LTC2620			UNITS	
			MIN	TYP	MAX		
PSR	Power Supply Rejection	$V_{CC} = \pm 10\%$		-80		dB	
R_{OUT}	DC Output Impedance	$V_{REF} = V_{CC} = 5\text{V}$, Mid-Scale; $-15\text{mA} \leq I_{OUT} \leq 15\text{mA}$	●	0.025	0.15	Ω	
		$V_{REF} = V_{CC} = 2.5\text{V}$, Mid-Scale; $-7.5\text{mA} \leq I_{OUT} \leq 7.5\text{mA}$	●	0.030	0.15	Ω	
	DC Crosstalk (Note 4)	Due to Full-Scale Output Change (Note 5) Due to Load Current Change Due to Powering Down (per Channel)		± 10		μV	
			± 3.5		$\mu\text{V}/\text{mA}$		
			± 7.3		μV		
I_{SC}	Short-Circuit Output Current	$V_{CC} = 5.5\text{V}$, $V_{REF} = 5.6\text{V}$ Code: Zero-Scale; Forcing Output to V_{CC} Code: Full-Scale; Forcing Output to GND	●	15	34	60	mA
			●	15	34	60	mA
		$V_{CC} = 2.5\text{V}$, $V_{REF} = 5.6\text{V}$ Code: Zero-Scale; Forcing Output to V_{CC} Code: Full-Scale; Forcing Output to GND	●	7.5	18	50	mA
			●	7.5	24	50	mA

リファレンス入力

	Input Voltage Range		●	0	V_{CC}	V	
	Resistance	Normal Mode	●	11	16	20	k Ω
	Capacitance			90		pF	
I_{REF}	Reference Current, Power-Down Mode	All DACs Powered Down	●	0.001	1	μA	

LTC2600/LTC2610/LTC2620

電気的特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 2.5\text{V} \sim 5.5\text{V}$ 、 $V_{REF} \leq V_{CC}$ 、 V_{OUT} 。

SYMBOL	PARAMETER	CONDITIONS	LTC2600/LTC2610/LTC2620			UNITS
			MIN	TYP	MAX	
電源						
V_{CC}	Positive Supply Voltage		●	2.5	5.5	V
I_{CC}	Supply Current	$V_{CC} = 5\text{V}$ (Note 3)	●	2.6	4	mA
		$V_{CC} = 3\text{V}$ (Note 3)	●	2.0	3.2	mA
		All DACs Powered Down (Note 3) $V_{CC} = 5\text{V}$	●	0.35	1	μA
		All DACs Powered Down (Note 3) $V_{CC} = 3\text{V}$	●	0.10	1	μA
デジタルI/O						
V_{IH}	Digital Input High Voltage	$V_{CC} = 2.5\text{V}$ to 5.5V	●	2.4		V
		$V_{CC} = 2.5\text{V}$ to 3.6V	●	2.0		V
V_{IL}	Digital Input Low Voltage	$V_{CC} = 4.5\text{V}$ to 5.5V	●		0.8	V
		$V_{CC} = 2.5\text{V}$ to 5.5V	●		0.6	V
V_{OH}	Digital Output High Voltage	Load Current = $-100\mu\text{A}$	●	$V_{CC} - 0.4$		V
V_{OL}	Digital Output Low Voltage	Load Current = $+100\mu\text{A}$	●		0.4	V
I_{LK}	Digital Input Leakage	$V_{IN} = \text{GND}$ to V_{CC}	●		± 1	μA
C_{IN}	Digital Input Capacitance	(Note 6)	●		8	pF

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。注記がない限り、 $V_{CC} = 2.5\text{V} \sim 5.5\text{V}$ 、 $V_{REF} \leq V_{CC}$ 、 V_{OUT} 。

SYMBOL	PARAMETER	CONDITIONS	LTC2620			LTC2610			LTC2600			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
AC性能												
t_S	Settling Time (Note 8)	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits)		7		7		7			μs	
		$\pm 0.006\%$ ($\pm 1\text{LSB}$ at 14 Bits)				9		9			μs	
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16 Bits)						10			μs	
	Settling Time for 1LSB Step (Note 9)	$\pm 0.024\%$ ($\pm 1\text{LSB}$ at 12 Bits)		2.7		2.7		2.7			μs	
		$\pm 0.006\%$ ($\pm 1\text{LSB}$ at 14 Bits)				4.8		4.8			μs	
		$\pm 0.0015\%$ ($\pm 1\text{LSB}$ at 16 Bits)						5.2			μs	
	Voltage Output Slew Rate			0.80		0.80		0.80			$\text{V}/\mu\text{s}$	
	Capacitive Load Driving			1000		1000		1000			pF	
	Glitch Impulse	At Mid-Scale Transition		12		12		12			$\text{nV} \cdot \text{s}$	
	Multiplying Bandwidth			180		180		180			kHz	
e_n	Output Voltage Noise Density	At $f = 1\text{kHz}$		120		120		120			$\text{nV}/\sqrt{\text{Hz}}$	
		At $f = 10\text{kHz}$		100		100		100			$\text{nV}/\sqrt{\text{Hz}}$	
	Output Voltage Noise	0.1Hz to 10Hz		15		15		15			μV_{P-P}	

タイミング特性

●は全動作温度範囲の規格値を意味する。それ以外は $T_A = 25^\circ\text{C}$ での値。(図1を参照) (Note 6)

SYMBOL	PARAMETER	CONDITIONS	LTC2600/LTC2610/LTC2620			UNITS
			MIN	TYP	MAX	
$V_{CC} = 2.5V \sim 5.5V$						
t_1	SDI Valid to SCK Setup		●	4		ns
t_2	SDI Valid to SCK Hold		●	4		ns
t_3	SCK High Time		●	9		ns
t_4	SCK Low Time		●	9		ns
t_5	$\overline{\text{CS}}/\text{LD}$ Pulse Width		●	10		ns
t_6	LSB SCK High to $\overline{\text{CS}}/\text{LD}$ High		●	7		ns
t_7	$\overline{\text{CS}}/\text{LD}$ Low to SCK High		●	7		ns
t_8	SDO Propagation Delay from SCK Falling Edge	$C_{\text{LOAD}} = 10\text{pF}$ $V_{CC} = 4.5V \text{ to } 5.5V$ $V_{CC} = 2.5V \text{ to } 5.5V$	●		20	ns
			●		45	ns
t_9	$\overline{\text{CLR}}$ Pulse Width		●	20		ns
t_{10}	$\overline{\text{CS}}/\text{LD}$ High to SCK Positive Edge		●	7		ns
	SCK Frequency	50% Duty Cycle	●		50	MHz

Note 1: 絶対最大定格に記載された値を超えるストレスはデバイスに永続的損傷を与える可能性がある。また、絶対最大定格状態が長時間続くと、デバイスの信頼性と寿命に悪影響を与える恐れがある。

Note 2: 直線性と単調性はコード k_L からコード $2N-1$ まで定義されている。ここで、 N は分解能で、 k_L は $k_L = 0.016(2^N/V_{REF})$ で求められ、最も近い整数のコードに丸められている。 $V_{REF} = 4.096V$ で $N = 16$ の場合、 $k_L = 256$ となり、直線性はコード256からコード65,535まで定義される。

Note 3: $0V$ または V_{CC} でのデジタル入力。

Note 4: DCクロストークは、注記がない限り、 $V_{CC} = 5V$ および $V_{REF} = 4.096V$ で、ミッドスケールで測定されたDACを使って測定される。

Note 5: $R_L = 2k\Omega$ をGNDまたは V_{CC} に接続。

Note 6: 設計によって保証されており、製造時にはテストされない。

Note 7: コード256 (LTC2600)、コード64 (LTC2610) またはコード16 (LTC2620)、およびフルスケールでの測定から推測されている。

Note 8: $V_{CC} = 5V$ 、 $V_{REF} = 4.096V$ 。DACは1/4スケールから3/4スケールへ、さらに3/4スケールから1/4スケールへステップさせる。負荷はGNDに並列に接続した $2k$ と 200pF 。

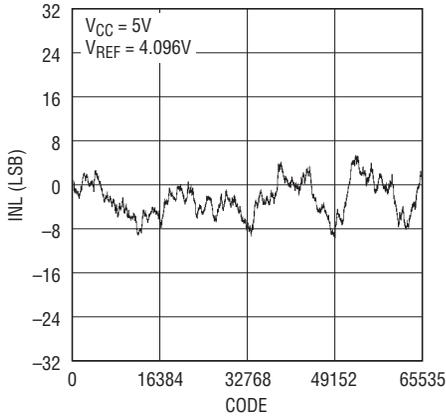
Note 9: $V_{CC} = 5V$ 、 $V_{REF} = 4.096V$ 。DACはハーフスケールと(ハーフスケール-1)のあいだを $\pm 1\text{LSB}$ でステップさせる。負荷はGNDに並列に接続した $2k$ と 200pF 。

LTC2600/LTC2610/LTC2620

標準的性能特性

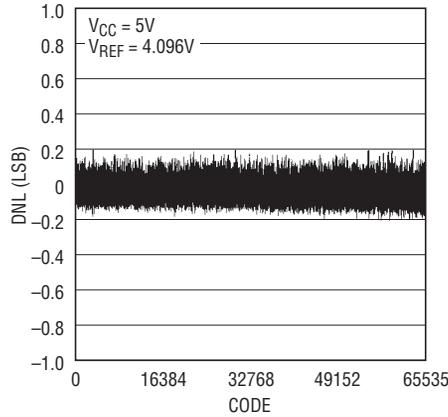
LTC2600

積分非直線性 (INL)



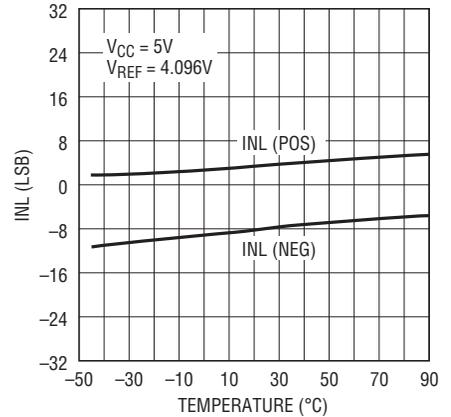
2600 G20

微分非直線性 (DNL)



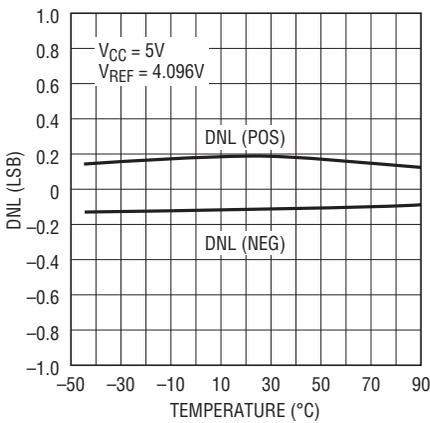
2600 G21

INLと温度



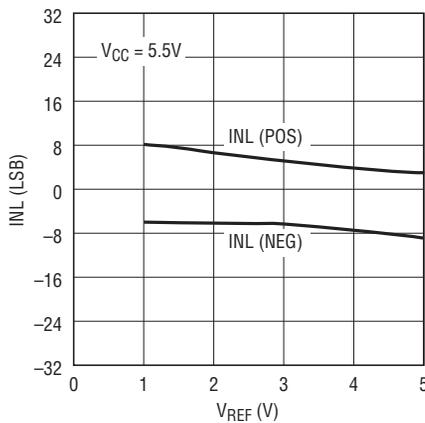
2600 G22

DNLと温度



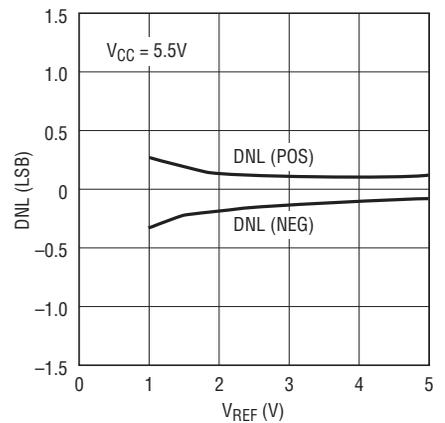
2600 G23

INLとVREF



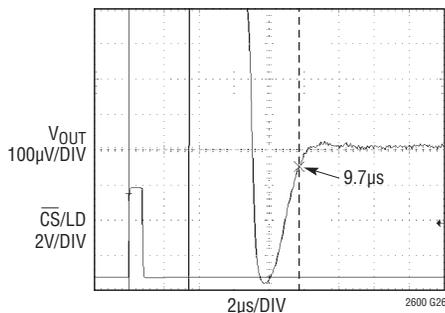
2600 G24

DNLとVREF



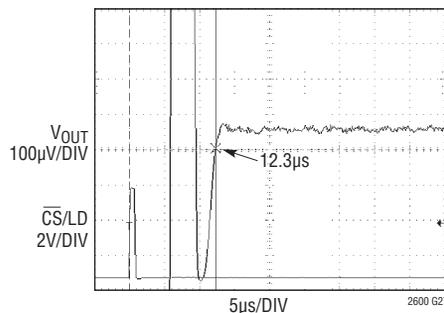
2600 G25

±1LSBへのセトリング



$V_{CC} = 5V$, $V_{REF} = 4.096V$
1/4-SCALE TO 3/4-SCALE STEP
 $R_L = 2k$, $C_L = 200pF$
AVERAGE OF 2048 EVENTS

フルスケール・ステップに対するセトリング



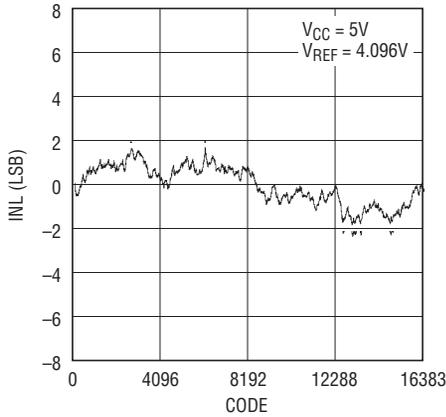
SETTLING TO ±1LSB
 $V_{CC} = 5V$, $V_{REF} = 4.096V$
CODE 512 TO 65535 STEP
 $R_L = 2k$, $C_L = 200pF$
AVERAGE OF 2048 EVENTS

2600fe

標準的性能特性

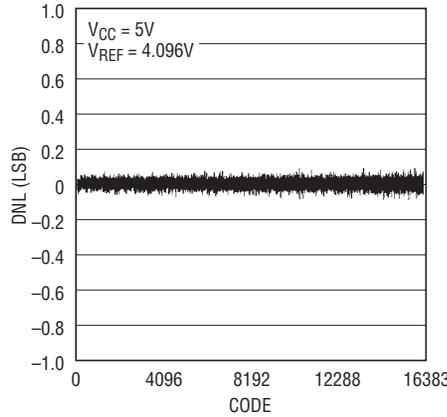
LTC2610

積分非直線性 (INL)



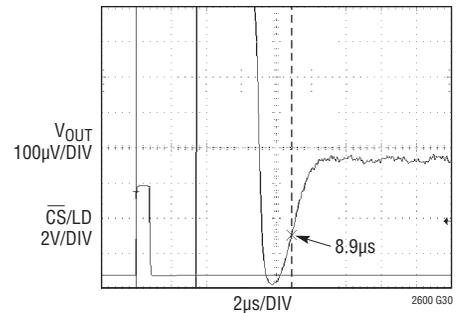
2600 G28

微分非直線性 (DNL)



2600 G29

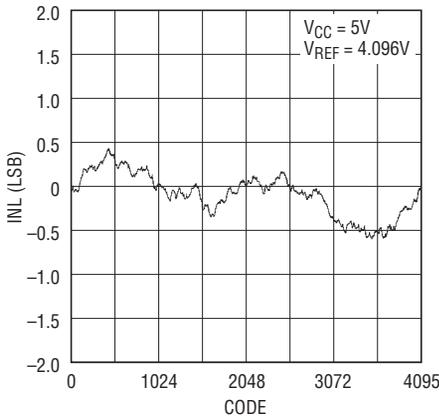
±1LSBへのセトリング



$V_{CC} = 5V$, $V_{REF} = 4.096V$
1/4-SCALE TO 3/4-SCALE STEP
 $R_L = 2k$, $C_L = 200pF$
AVERAGE OF 2048 EVENTS

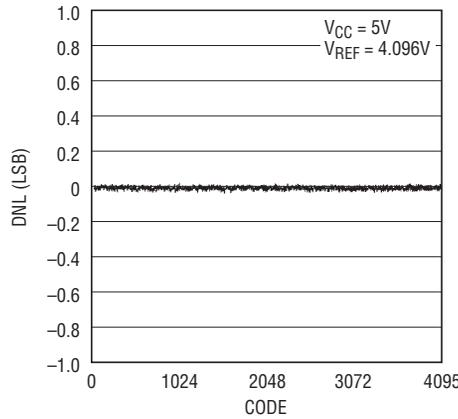
LTC2620

積分非直線性 (INL)



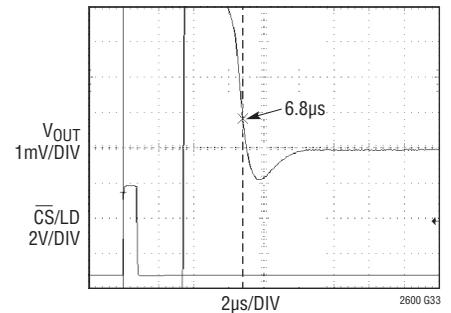
2600 G31

微分非直線性 (DNL)



2600 G32

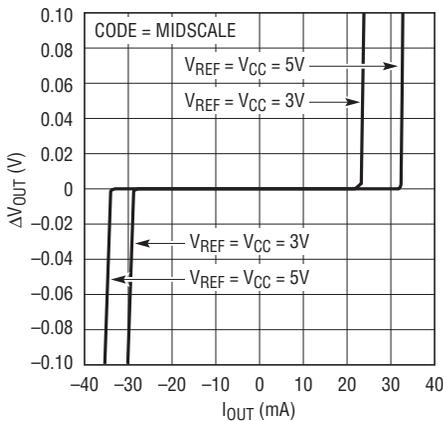
±1LSBへのセトリング



$V_{CC} = 5V$, $V_{REF} = 4.096V$
1/4-SCALE TO 3/4-SCALE STEP
 $R_L = 2k$, $C_L = 200pF$
AVERAGE OF 2048 EVENTS

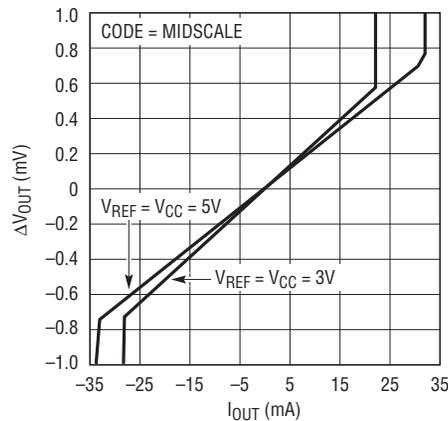
LTC2600/LTC2610/LTC2620

電流制限



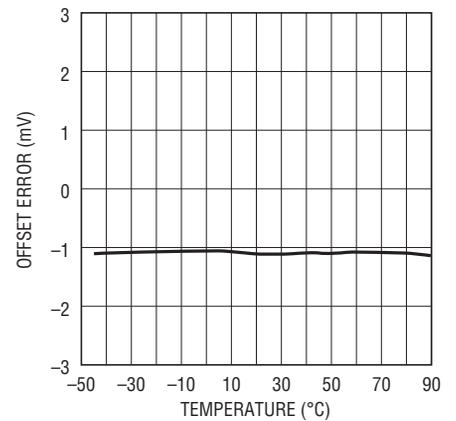
2600 G01

ロード・レギュレーション



2600 G02

オフセット誤差と温度



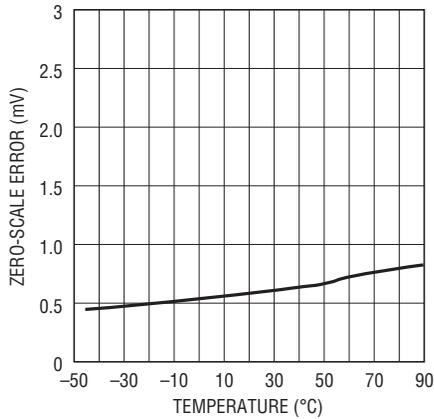
2600 G03

LTC2600/LTC2610/LTC2620

標準的性能特性

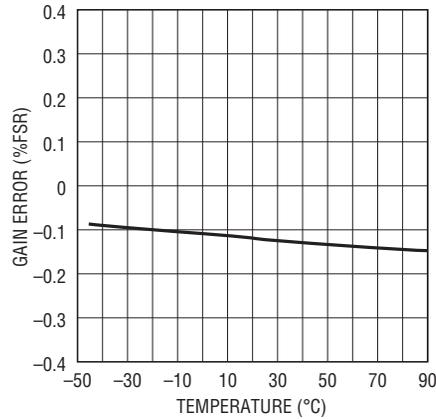
LTC2600/LTC2610/LTC2620

ゼロスケール誤差と温度



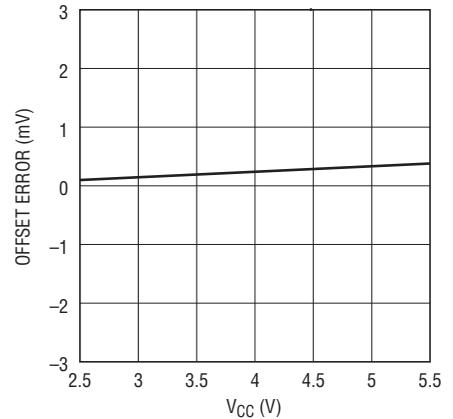
2600 G04

利得誤差と温度



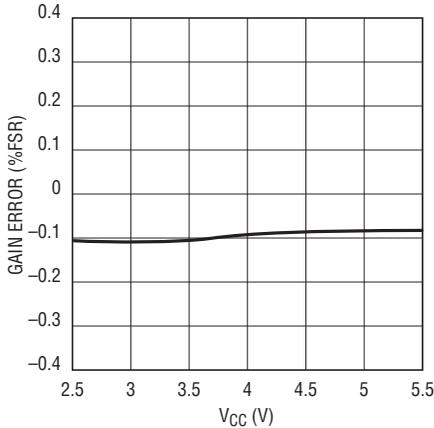
2600 G05

オフセット誤差とV_{CC}



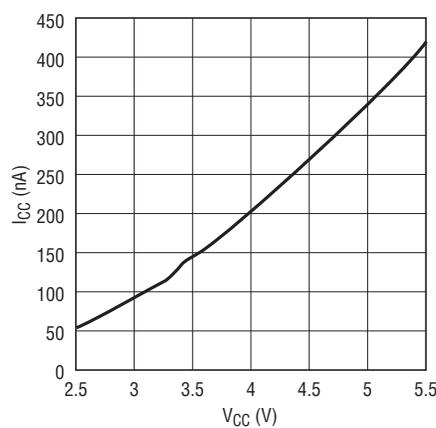
2600 G06

利得誤差とV_{CC}



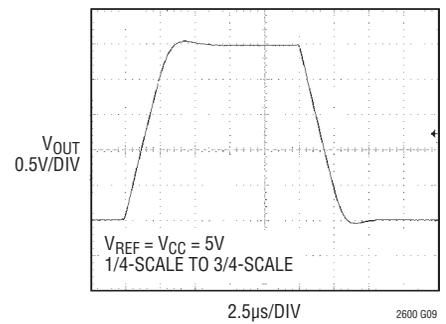
2600 G07

I_{CC}シャットダウンとV_{CC}



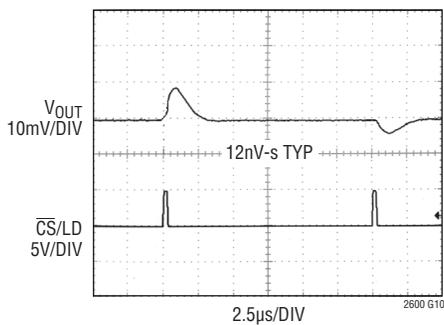
2600 G08

大信号応答



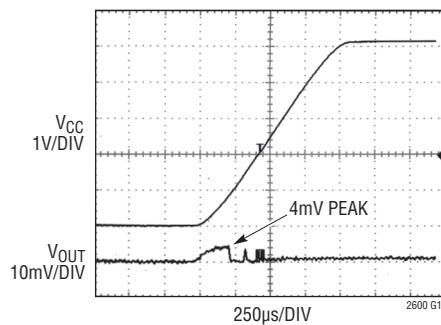
2600 G09

ミッドスケール・グリッチ・インパルス



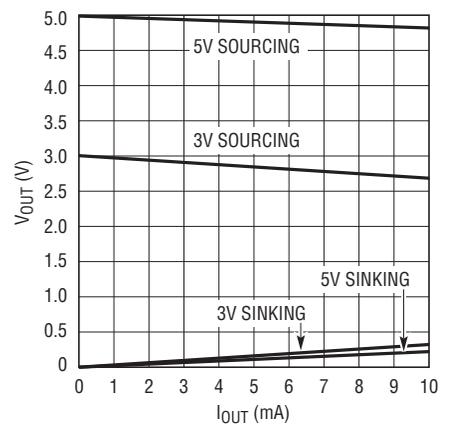
2600 G10

パワーオン・リセット・グリッチ



2600 G11

レールでのヘッドルームと出力電流



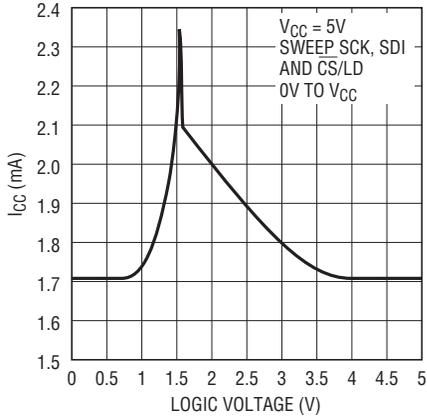
2600 G12

2600fe

標準的性能特性

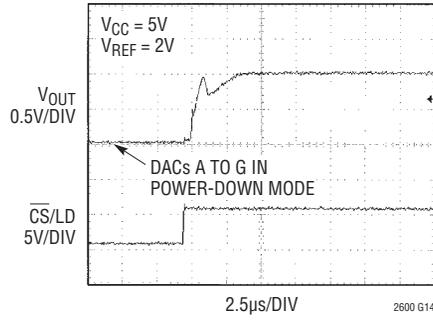
LTC2600/LTC2610/LTC2620

電源電流とロジック電圧



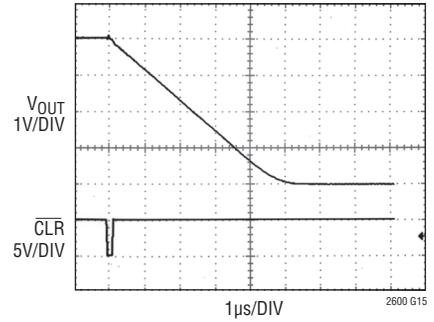
2600 G13

パワーダウン解除からミッドスケールまで



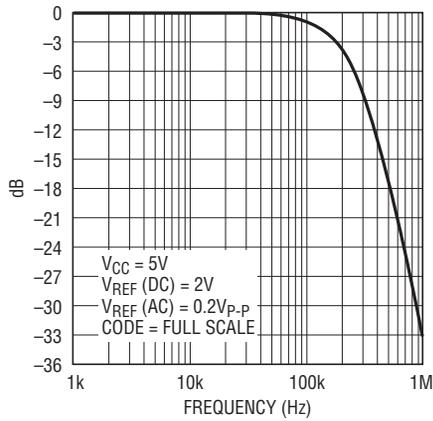
2600 G14

ハードウェアCLR



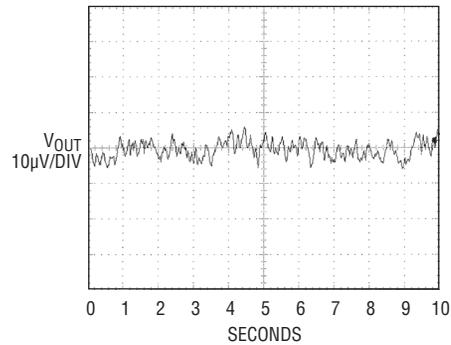
2600 G15

乗算帯域幅



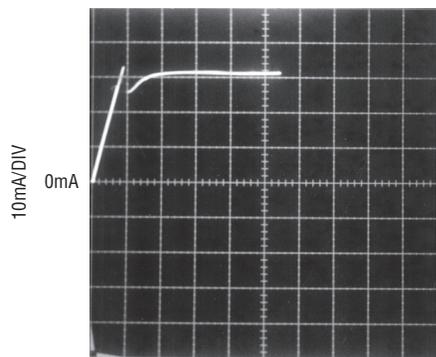
2600 G16

出力電圧ノイズ、0.1Hz~10Hz



2600 G17

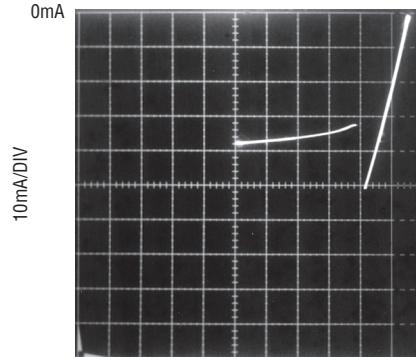
短絡出力電流とVout(シンク)



V_{CC} = 5.5V
V_{REF} = 5.6V
CODE = 0
V_{OUT} SWEPT 0V TO V_{CC}

2600 G18

短絡出力電流とVout(ソース)



V_{CC} = 5.5V
V_{REF} = 5.6V
CODE = FULL SCALE
V_{OUT} SWEPT V_{CC} TO 0V

2600 G19

LTC2600/LTC2610/LTC2620

ピン機能 (GN/UFD)

GND (ピン1/ピン20): アナログ・グランド。

V_{OUTA}~V_{OUTH} (ピン2~5およびピン12~15/ピン1~48およびピン13~16): DACのアナログ電圧出力。出力範囲は0~V_{REF}です。

REF (ピン6/ピン5): リファレンス電圧入力。 $0V \leq V_{REF} \leq V_{CC}$ 。

$\overline{CS/LD}$ (ピン7/ピン7): シリアル・インタフェースのチップ・セレクト/ロード入力。 $\overline{CS/LD}$ が“L”のとき、SCKがイネーブルされ、SDIのデータをレジスタにシフトします。 $\overline{CS/LD}$ を“H”にすると、SCKはディスエーブルされ、指定されたコマンド(表1を参照)が実行されます。

SCK (ピン8/ピン8): シリアル・インタフェースのクロック入力。CMOSとTTLに対して互換。

SDI (ピン9/ピン9): シリアル・インタフェースのデータ入力。データはSDIに入力され、SCKの立上りエッジでデバイスに転送されます。LTC2600、LTC2610、およびLTC2620は24ビットまたは32ビットの入力ワード長を受け入れます。

SDO (ピン10/ピン10): シリアル・インタフェースのデータ出力。このピンはデイズチェーン動作に使用されます。シフトレジスタのシリアル出力はSDOピンから出力されます。SDIピンを介してデバイスに転送されたデータは、SCKの32の立上りエッジだけ遅れてから、次の立下りエッジで出力されます。SDOはアクティブ出力なので、 $\overline{CS/LD}$ がロジック“H”レベルになっても、ハイ・インピーダンスにはなりません。

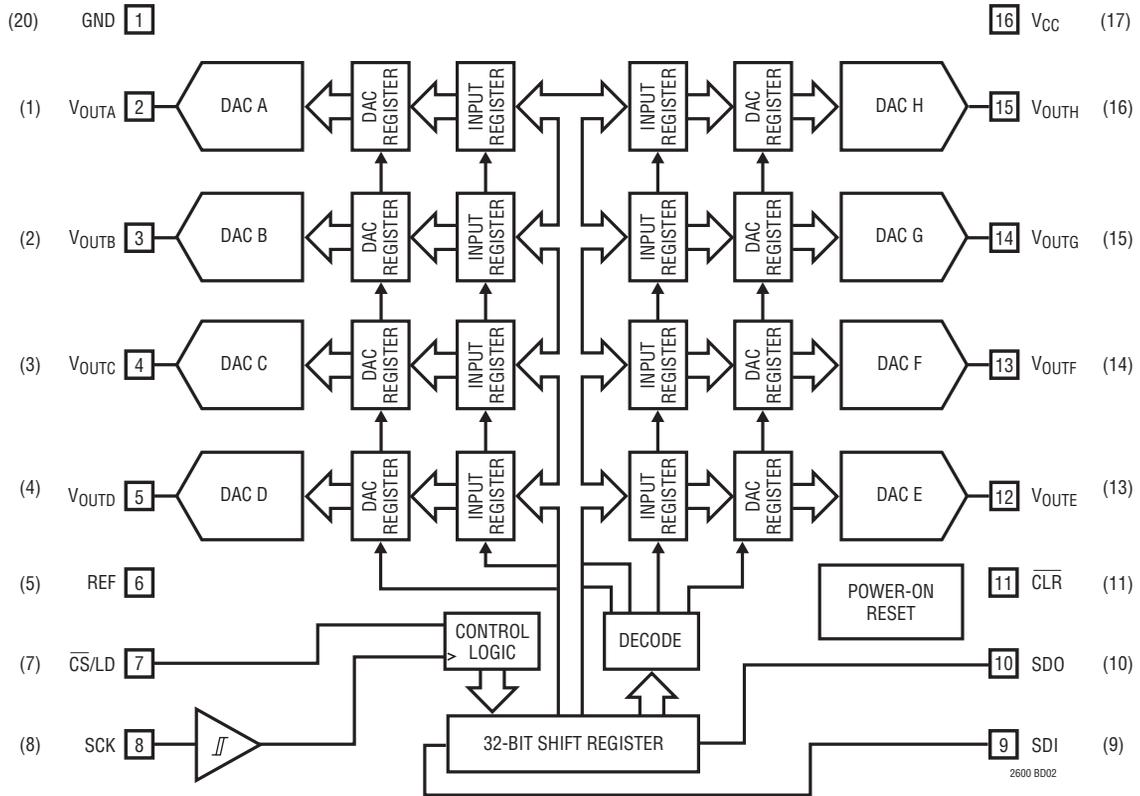
\overline{CLR} (ピン11/ピン11): 非同期クリア入力。このレベルトリガ入力をロジック“L”にすると、すべてのレジスタがクリアされ、DACの電圧出力が0Vまで下がります。CMOSとTTLに対して互換。

V_{CC} (ピン16/ピン17): 電源電圧入力。 $2.5V \leq V_{CC} \leq 5.5V$ 。

DNC (ピン6、ピン12、ピン18、ピン19、UFDのみ): これらのピンは接続しないでください。

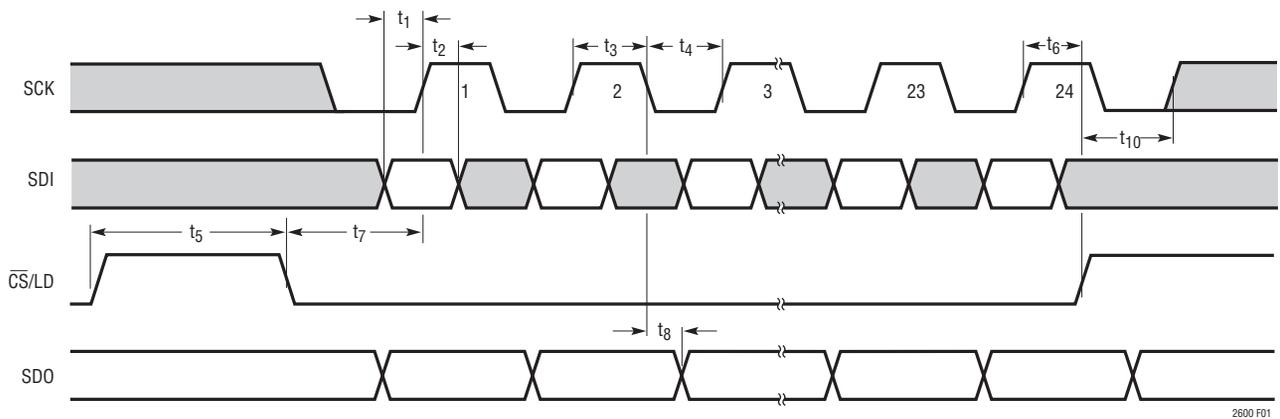
露出パッド (ピン21、UFDのみ): グランド。露出パッドは、PCBに半田付けする必要があります。

ブロック図



NOTE: 括弧内はUFDパッケージの番号

タイミング図



動作

パワーオン・リセット

LTC2600/LTC2610/LTC2620は電源が最初に印加されたときに出力をゼロスケールにクリアして、システムの初期状態を一定に保ち、反復可能にします。

アプリケーションによっては、DACのパワーアップ時に下流の回路がアクティブ状態であり、この間DACからのゼロではない出力に対して敏感な場合があります。LTC2600/2610/2620にはパワーオン・グリッチを減少させる回路が備わっています。電源が1ms以上かかって5Vまでランプする場合、パワーオン時にアナログ出力がゼロスケールより10mV以上上昇することは一般にありません。一般に、グリッチ振幅は電源のランプ時間が増加するにつれて減少します。「標準的性能特性」の「パワーオン・リセット・グリッチ」を参照してください。

電源シーケンス制御

REF (ピン6)の電圧は $-0.3V \leq V_{REF} \leq V_{CC} + 0.3V$ の範囲内に保つ必要があります(「絶対最大定格」を参照)。V_{CC} (ピン16)の電圧が遷移しているときには、電源のターンオン・シーケンスとターンオフ・シーケンスの間、これらのリミットが守られるように特に注意が必要です。

伝達関数

デジタルからアナログへの伝達関数は次のとおりです。

$$V_{OUT(IDEAL)} = \left(\frac{k}{2^N} \right) V_{REF}$$

ここで、kはDACの2進数の入力コードに相当する10進数、Nは分解能、V_{REF}はREF (ピン6)の電圧です。

表1.

COMMAND*				
C3	C2	C1	C0	
0	0	0	0	入力レジスタnに書き込む
0	0	0	1	DACのレジスタnを更新(パワーアップ)する
0	0	1	0	入力レジスタnに書き込み、すべてのnを更新(パワーアップ)する
0	0	1	1	nに書き込み、更新(パワーアップ)する
0	1	0	0	nをパワーダウン
1	1	1	1	動作なし

*表示されていないコマンド・コードとアドレス・コードは予備用であり、使用してはならない。

シリアル・インタフェース

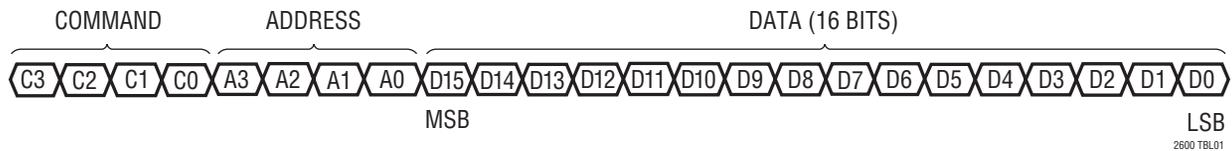
\overline{CS}/LD はレベルトリガ入力です。この入力を“L”にするとチップ・セレクト信号として機能し、SDIとSCKのバッファをパワーオンし、入力シフトレジスタをイネーブルします。データ(SDI入力)は後続の24のSCKの立ち上がりエッジで転送されます。最初に4ビットのコマンド(C3~C0)、次に4ビットのDACアドレス(A3~A0)、そして最後に16ビットのデータ・ワードがロードされます。データ・ワードは、MSBからLSBへと並んだ16、14、または12ビットの入力コードと、それに続く0、2、または4ビットのドントケア(対象外)ビットで構成されます(それぞれ、LTC2600、LTC2610、LTC2620)。データは \overline{CS}/LD 信号が“L”のときだけデバイスに転送することができます。 \overline{CS}/LD の立上りエッジでデータの転送が終了し、24ビットの入力ワードで指定されたアクションがデバイスによって実行されます。すべてのシーケンスを図2aに示します。

コマンド(C3~C0)とアドレス(A3~A0)の割り当てを表1に示します。表の中の最初の4つのコマンドは書き込みと更新の操作です。書き込み操作により、32ビットのシフトレジスタから16ビットのデータ・ワードが、選択されたDAC (n)の入力レジスタにロードされます。更新操作により、データ・ワードが入力レジスタからDACレジスタにコピーされます。DACレジスタにコピーされると、データ・ワードはアクティブな16、14、または12ビットの入力コードになり、DAC出力でアナログ電圧に変換されます。また、選択されたDACがパワーダウン・モードであれば、更新操作によってパワーアップされます。データ・パスとレジスタを「ブロック図」に示します。

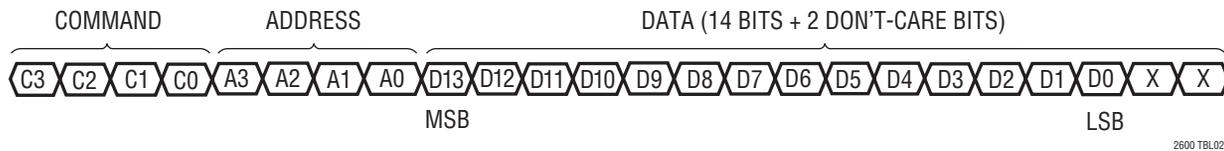
ADDRESS (n)*				
A3	A2	A1	A0	
0	0	0	0	DAC A
0	0	0	1	DAC B
0	0	1	0	DAC C
0	0	1	1	DAC D
0	1	0	0	DAC E
0	1	0	1	DAC F
0	1	1	0	DAC G
0	1	1	1	DAC H
1	1	1	1	All DACs

動作

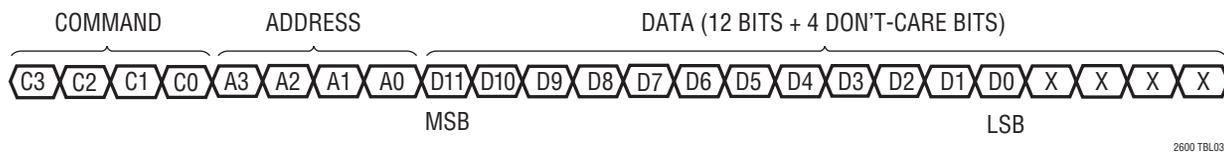
入力ワード(LTC2600)



入力ワード(LTC2610)



入力ワード(LTC2620)



最小入力ワードは24ビットですが、オプションで32ビットに拡張することができます。32ビットのワード幅を使用するには、8ビットのドントケア・ビットを最初にデバイスに転送し、続いて上記の24ビットのワードを転送します。32ビットのシーケンスを図2bに示します。32ビット・ワードはデジチェーン動作に必要で、16ビット(2バイト)の最小ワード幅のマイクロプロセッサに対応させるためにも有効です。

デジチェーン動作

シフトレジスタのシリアル出力はSDOピンから出力されます。SDI入力からデバイスに転送されたデータは、SCKの32の立上りエッジだけ遅れてから、次のSCKの立ち下がりエッジで出力されます。

SDO出力を使って、単一の3線シリアル・ポート(つまり、SCK、SDIおよび $\overline{\text{CS/LD}}$)から複数のシリアル・デバイスを制御しやすくすることができます。このような「デジチェーン」の直列接

続は、連鎖の上流に位置する各デバイスのSDOを次に位置するデバイスのSDIに接続することによって構成されます。これらのデバイスのシフトレジスタはこのように直列に接続され、実質的に、連鎖全体にわたる単一入力のシフトレジスタを形成します。このため、これらのデバイスは、それらへの入力ワードを単に連結することにより、個別にアドレス指定して制御することができます(最初の命令は連鎖の最後のデバイスをアドレス指定し、以下同様)。SCK信号と $\overline{\text{CS/LD}}$ 信号は連鎖内のすべてのデバイスに共通です。

使用時には、最初に $\overline{\text{CS/LD}}$ を“L”にします。次に、最初のデバイスのSDIをデータ入力に使用して、連結された入力データを連鎖に転送します。データの転送が完了すると、 $\overline{\text{CS/LD}}$ が“H”になり、すべてのデバイスの命令シーケンスが同時に完了します。連鎖内の他のデバイスに対しては非動作コマンド(1111)を使うことにより、1つのデバイスだけを制御することができます。

動作

パワーダウン・モード

電力が制限されているアプリケーションでは、8本の出力のすべてを必要としないのであれば、パワーダウン・モードを使って消費電流を減らすことができます。パワーダウン時には、バッファ・アンプとリファレンスの入力はディスエーブルされるので、実質的に電流は流れません。DAC出力はハイ・インピーダンス状態になり、出力ピンは個別の90k抵抗によって受動的にグラウンドに引き下げられます。8つのすべてのDACがパワーダウンすると、マスタ・バイアス発生回路もディスエーブルされます。入力レジスタとDACレジスタの内容は、パワーダウンのあいだに影響を受けることはありません。

どのチャンネルまたは複数のチャンネルの組み合わせでも、適切なDACアドレス(n)と組み合わせたコマンド0100bを使ってパワーダウン・モードにすることができます。16ビットのデータ・ワードは無視されます。消費電流とリファレンスの電流は、パワーダウンされるDACごとに約1/8だけ減少します。REF (ピン6)の実効抵抗はそれに従って増加し、8つのDACがすべてパワーダウンするとハイ・インピーダンス入力(一般に1GΩ以上)になります。

通常動作は、表1に示すように、DAC更新を含むどのコマンドを実行することによっても再開できます。選択されたDACはその電圧出力が更新されるとパワーアップされます。

DACがパワーアップするとき、通常の設定動作を開始する前に初期遅延が生じます。更新コマンドの前にパワーダウン状態にあるDACが7個以下の場合、パワーアップ遅延は5μsです。これに対して、8つのすべてのDACがパワーダウン状態の場合、マスタ・バイアス発生回路もディスエーブルされており、再起動する必要があります。この場合、パワーアップ遅延はさらに大きくなり、V_{CC} = 5Vで12μs、V_{CC} = 3Vで30μsになります。

電圧出力

これらのデバイスに内蔵されている8個のレール・トゥ・レール・アンプは、それぞれ5Vで最大15mA (3Vで最大7.5mA)をソースまたはシンクするときのロード・レギュレーションが保証されています。

ロード・レギュレーションは、広い範囲の負荷条件にわたって定格電圧精度を維持する、アンプの能力の指標です。負荷電流を強制的に1mA変化させたときの出力電圧の変化の測定値はLSB/mAで表されます。

DC出力インピーダンスはロード・レギュレーションに相当し、単にLSB/mAからオームに単位を変えて計算するだけで求めることができます。レールから十分離れた負荷をドライブしているときのアンプのDC出力インピーダンスは0.025Ωです。

どちらか一方のレールから負荷電流が流れている場合、そのレールを基準にした出力電圧のヘッドルームは出力デバイスの標準25Ωのチャンネル抵抗によって制限されます。たとえば、1mAをシンクしている場合、最小出力電圧 = 25Ω • 1mA = 25mVになります。「標準的性能特性」の「レールでのヘッドルームと出力電流」のグラフを参照してください。

このアンプは最大1000pFの容量性負荷を安定してドライブします。

基板のレイアウト

これらのデバイスのすぐれたロード・レギュレーションとDCクロストークの性能は、ある程度は「信号」グラウンドと「電源」グラウンドを内部で分離し、共有内部抵抗をわずか0.005Ωに減らすことにより実現されています。

動作

リファレンス電圧と出力電圧が基準とするノードとして、さらにデバイスの電源電流のリターン・パスとしてGNDピンは機能します。このため、定格性能を確保するには、接地方法とボードのレイアウトに十分配慮する必要があります。

PCボードには、回路のアナログ部分用とデジタル部分用に別の領域が必要です。こうすることによって、敏感なアナログ信号からデジタル信号を離しておくことができるので、分離されたデジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンを扱いやすくなり、容量性および抵抗性の相互干渉が最小限に抑えられます。

デジタル・グラウンド・プレーンとアナログ・グラウンド・プレーンは1点接続し、デバイスのグラウンド・ピンにできるだけ近づけてシステムのスター・グラウンドを形成します。理想的には、アナログ・グラウンド・プレーンはボードの部品側に配置し、デバイスをノイズからシールドするためにデバイスの下を通すようにします。アナログ・グラウンドは(必要なピン・パッドやビアを除き)連続した切れ目のないプレーンにして、信号用トレースは別の層に配置します。

デバイスのGNDピンはアナログ・グラウンドに接続します。GNDピンからシステムのスター・グラウンドまでの抵抗はできるだけ小さくします。ここの抵抗はデバイスの実効DC出力インピーダ

ンス(標準で 0.025Ω)に直接追加されるので、DCクロストークを悪化させます。LTC2600/LTC2610/LTC2620は、同種の他のデバイスに比べて、これらの影響を受けやすくはないことに注意してください。それどころか、過大な内部抵抗によって達成可能な性能が制限されるのではなく、これらのデバイスはレイアウトに基づく際立った性能向上を可能にします。

レール・トゥ・レール出力の検討事項

どのようなレール・トゥ・レールの電圧出力のデバイスでも、出力は電源電圧範囲内に制限されています。

デバイスのアナログ出力はグラウンドを下回ることができないので、図3bに示されているように、これらの出力は最小コードを制限することがあります。同様に、REFピンが V_{CC} に接続されている場合、フルスケールの近くで制限が生じることがあります。 $V_{REF} = V_{CC}$ で、DACのフルスケール誤差(FSE)が正の場合、最大コードの出力が、図3cに示されているように、 V_{CC} に制限されます。 V_{REF} が $V_{CC} - FSE$ より小さいと、フルスケールの制限は生じません。

オフセットと直線性は、出力の制限が生じない、DACの伝達関数の領域にわたって定義され、テストされます。

動作

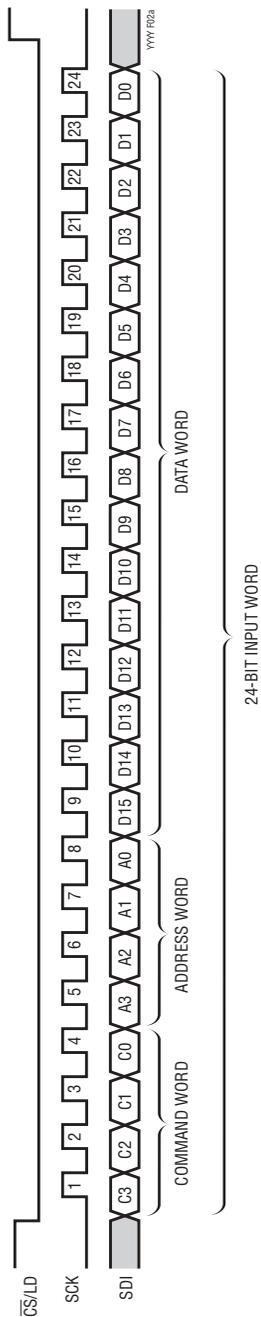


図2a. LTC2600の24ビットのロード・シーケンス(最小入力ワード)。
 LTC2610のSDIデータ・ワード:14ビットの入力コード+2ビットのドントケア・ビット
 LTC2620のSDIデータ・ワード:12ビットの入力コード+4ビットのドントケア・ビット

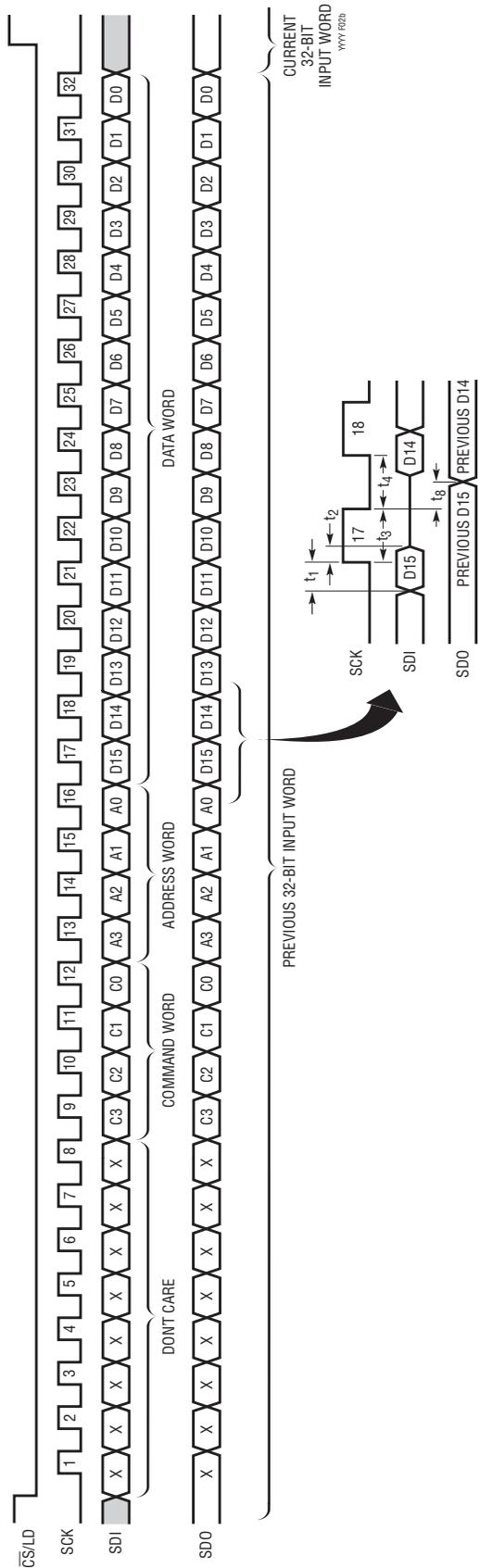
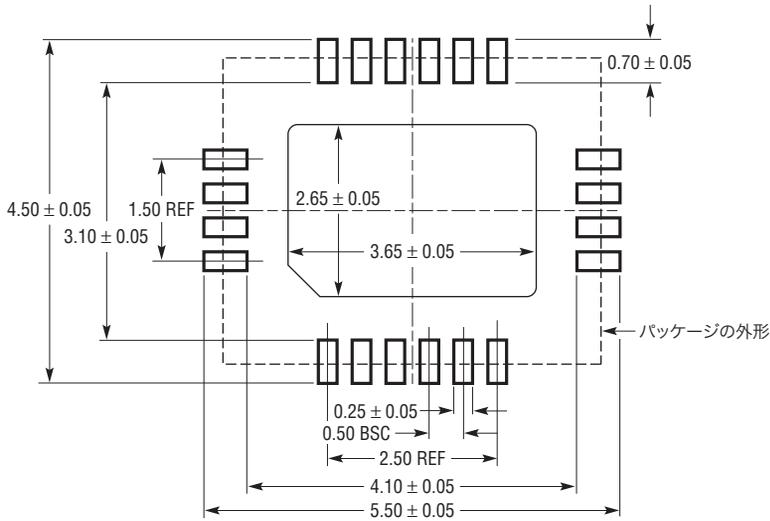


図2b. LTC2600の32ビットのロード・シーケンス(タイミング動作に必要)。
 LTC2610のSDI/SDOデータ・ワード:14ビットの入力コード+2ビットのドントケア・ビット
 LTC2620のSDI/SDOデータ・ワード:12ビットの入力コード+4ビットのドントケア・ビット

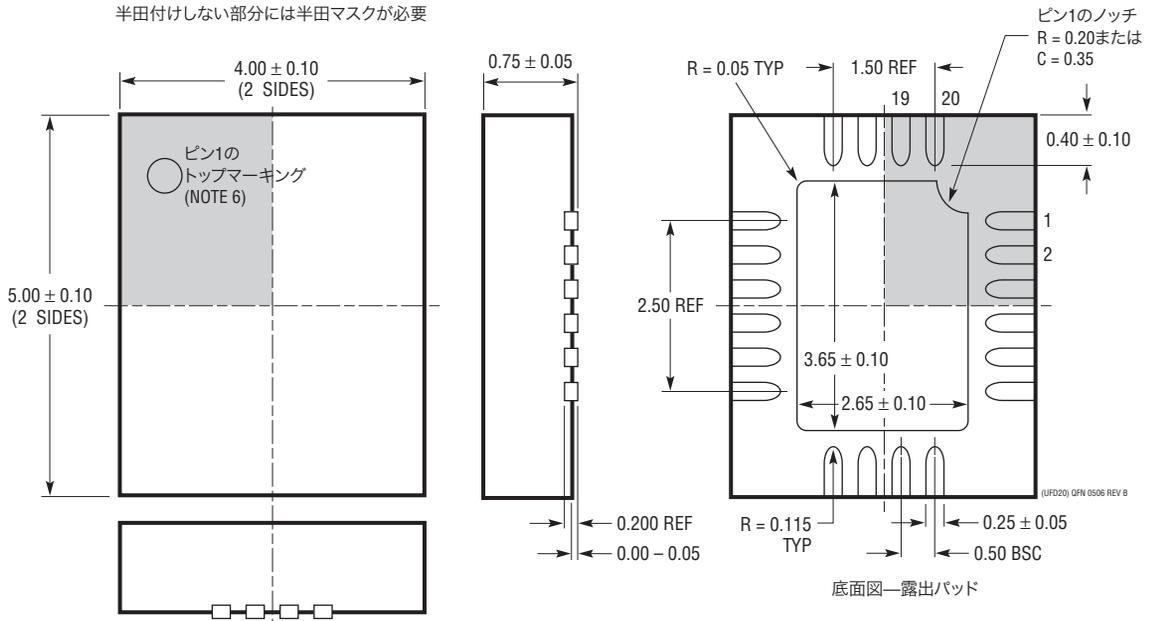
LTC2600/LTC2610/LTC2620

パッケージ

UFDパッケージ
 20ピン・プラスチックQFN (4mm×5mm)
 (Reference LTC DWG # 05-08-1711 Rev B)



推奨する半田パッドのピッチと寸法
 半田付けしない部分には半田マスクが必要



- NOTE:
1. 図はJEDECパッケージ外形MO-220のバリエーション(WXXX-X)にするよう提案されている
 2. 図は実寸とは異なる
 3. 全ての寸法はミリメートル
 4. パッケージ底面の露出パッドの寸法にはモールドのバリを含まない
 モールドのバリは(もしあれば)各サイドで0.15mmを超えないこと
 5. 露出パッドは半田メッキとする
 6. 網掛けの部分はパッケージの上面と底面のピン1の位置の参考に過ぎない

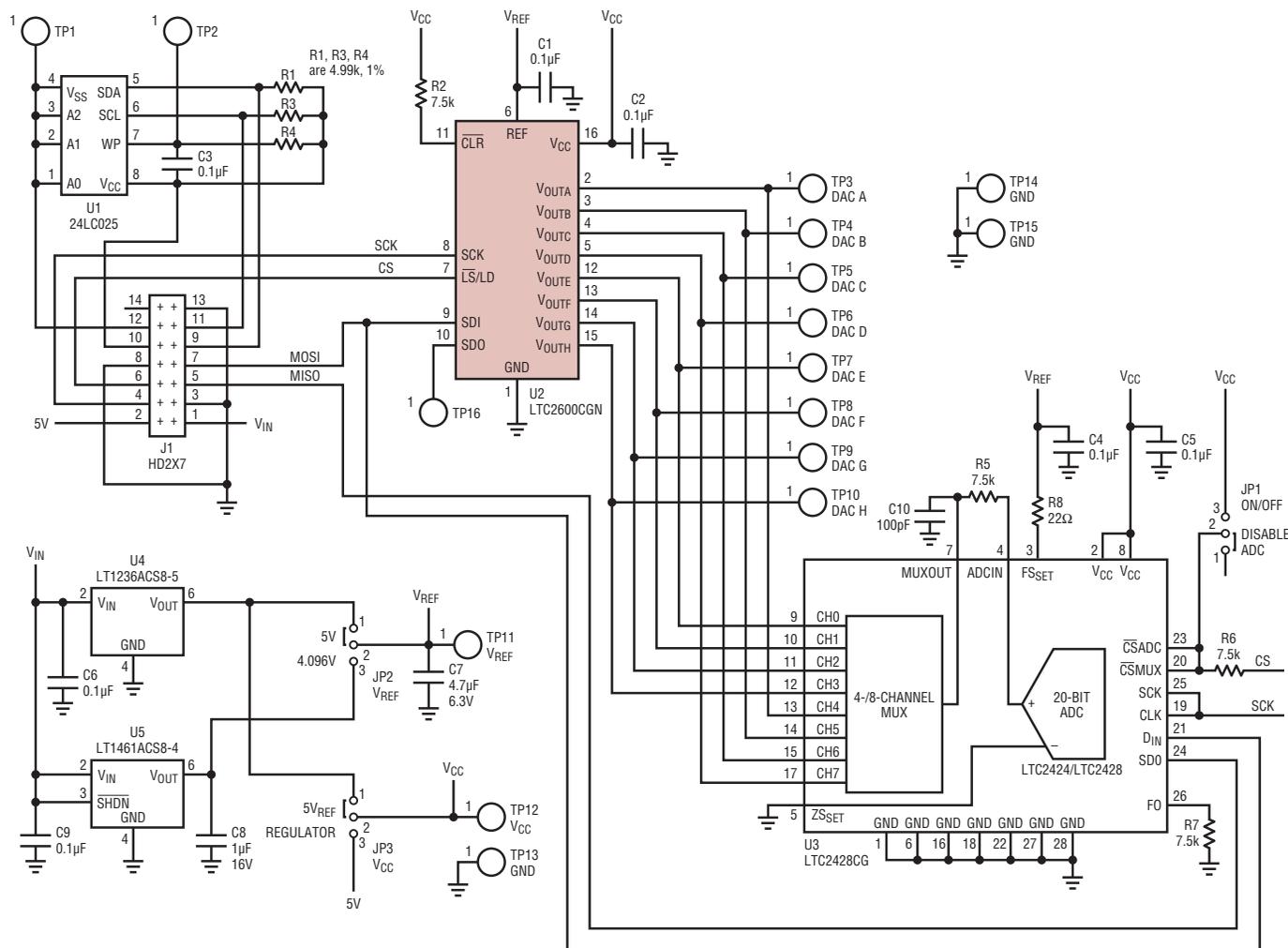
改訂履歴 (Rev Dよりスタート)

REV	日付	概要	ページ番号
D	03/10	「発注情報」のGNバージョンの製品マーキングを改訂	2
E	05/10	「ピン配置」と「ピン機能」のNCピンをDNCピンに変更	2, 10

LTC2600/LTC2610/LTC2620

標準的応用例

LTC2600のデモ用回路DC579の回路図。出力はボード上のLTC2428によって測定される



関連製品

製品番号	説明	注釈
LTC1458/LTC1458L	追加機能付きレール・トゥ・レール出力のクワッド12ビットDAC	LTC1458: V _{CC} = 4.5V~5.5V, V _{OUT} = 0V~4.096V LTC1458L: V _{CC} = 2.7V~5.5V, V _{OUT} = 0V~2.5V
LTC1654	レール・トゥ・レールV _{OUT} のデュアル14ビットDAC	プログラム可能な速度/電力、3.5μs/750μA、8μs/450μA
LTC1655/LTC1655L	シリアル・インタフェース付きシングル16ビットV _{OUT} DAC (SO-8)	V _{CC} = 5V (3V)、低消費電力、グリッチ低減
LTC1657/LTC1657L	5V/3Vの平行16ビットV _{OUT} DAC	低消費電力、グリッチ低減、レール・トゥ・レールV _{OUT}
LTC1660/LTC1665	16ピン細型SSOP入りオクタール10/8ビットV _{OUT} DAC	V _{CC} = 2.7V~5.5V、マイクロパワー、レール・トゥ・レール出力
LTC1821	平行16ビット電圧出力DAC	10Vのステップ入力に対して2μsの高精度16ビット・セトリング

2600fe