

LM2524D/LM3524D

PWM スイッチング・レギュレータ・コントローラ

概要

LM3524D ファミリーは、業界標準である LM3524 の改良版です。仕様が改良され、機能が追加されていますが、既存の 3524 ファミリーとピン配置も含め互換性があります。新機能により、オリジナル・バージョンで必要だった追加回路を減らすことができます。

LM3524D は $\pm 1\%$ 高精度 5V 基準電圧源を内蔵しています。出力ドライブ・トランジスタの出力電流は 200mA に増えていますが、 V_{CEsat} は小さくなり、 V_{CE} 耐圧は 60V に上がっています。5V 基準電圧からの抵抗分圧の必要性をなくすため、エラー・アンプの同相入力電圧範囲は 5.5V に増やされています。

LM3524D では、内部回路のバイアス電源はシャットダウン・ピンとは分離されています。これにより、発振器のパルス振幅と周波数がシャットダウンによって乱されるのを防ぎます。さらに、高い周波数では ($\approx 300\text{kHz}$)、1 出力当たりの最大デューティ・サイクルは、他の 3524 ファミリーの製品の場合の 35% に比べて、44% へ改善されています。

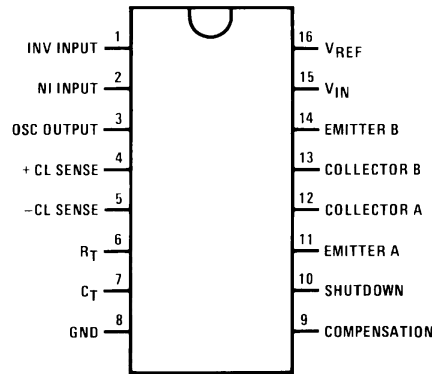
さらに、LM3524D は、3 ピンを使って、外部から同期をとることができます。ノイズの多い環境でも確実に 1 サイクルあたりのパル

スを 1 つにするため、ラッチも 1 個追加されています。LM3524D はダブル・パルス・サプレッションを内蔵しています。これは、シャットダウンから復帰した時、最初のクロック・パルスの後でのみ、T-フリップ・フロップの状態が変化するように制御します。この機能により、同じ出力にパルスが続けて 2 回発生するのを防ぎ、プッシュ・プル設計でコアが飽和する可能性を減らします。

特長

- 標準 LM3524 ファミリーとの完全な互換性
- サーマルシャットダウン機能付き $\pm 1\%$ 高精度 5V 基準電圧
- 200mA DC までの出力電流
- 60V の出力が可能
- 広い同相入力電圧範囲のエラー・アンプ
- 1 周期当たり 1 パルス (ノイズ・サプレッション)
- 高周波数での改善された最大デューティ・サイクル
- ダブル・パルス・サプレッション
- 3 ピンを使っての同期機能ブロック図

ピン配置図



Top View

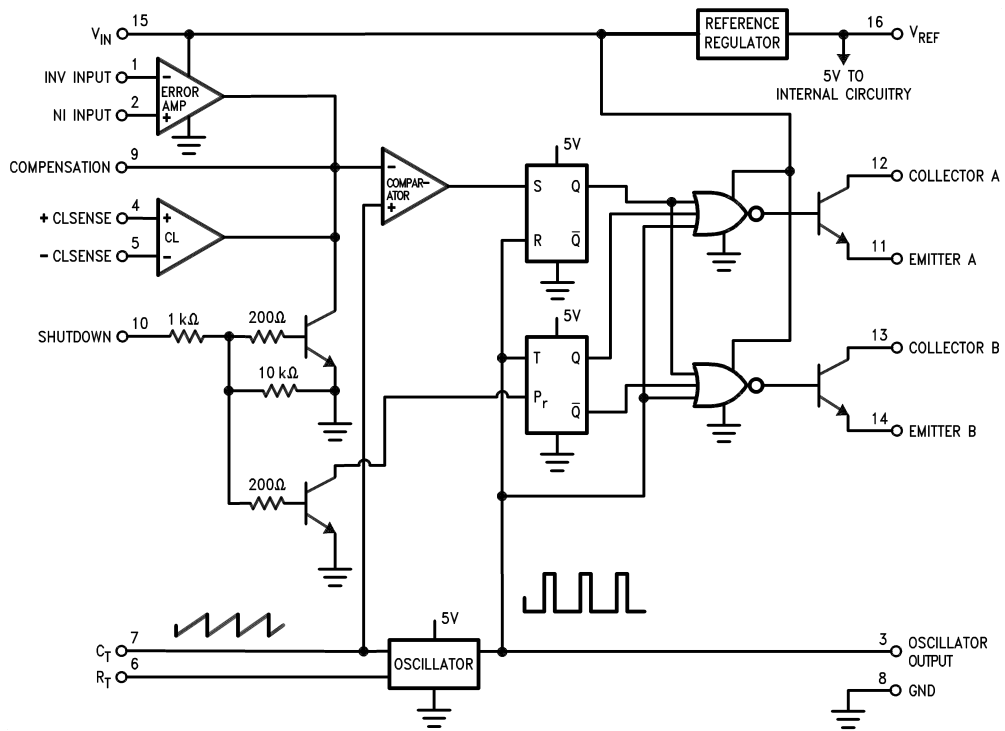
Order Number LM2524DN or LM3524DN

See NS Package Number N16E

Order Number LM3524DM

See NS Package Number M16A

ブロック図



絶対最大定格 (Note 5)

本データシートには軍用・航空宇宙用の規格は記載されていません。
関連する電氣的信頼性試験方法の規格を参照ください。

電源電圧	40V
コレクタ電圧 (LM2524D)	55V
(LM3524D)	40V
出力 DC 電流 (各出力)	200 mA
オシレータ充電電流 (ピン 7)	5 mA

内部消費電力

1W

動作接合部温度範囲 (Note 2)

LM2524D	- 40	~ + 125
LM3524D	0	~ + 125
最大接合部温度		+ 150
保存温度範囲	- 65	~ + 150
リード温度 (ハンダ付け、4 秒) M、N パッケージ		+ 260

電氣的特性 (Note 1)

Symbol	Parameter	Conditions	LM2524D			LM3524D			Units
			Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	

REFERENCE SECTION

V_{REF}	Output Voltage		5	4.85	4.80	5	4.75		V_{Min}
				5.15	5.20		5.25		V_{Max}
V_{RLine}	Line Regulation	$V_{IN} = 8V \text{ to } 40V$	10	15	30	10	25	50	mV_{Max}
V_{RLoad}	Load Regulation	$I_L = 0 \text{ mA to } 20 \text{ mA}$	10	15	25	10	25	50	mV_{Max}
$\frac{\Delta V_{IN}}{\Delta V_{REF}}$	Ripple Rejection	$f = 120 \text{ Hz}$	66			66			dB
I_{OS}	Short Circuit Current	$V_{REF} = 0$	50	25		50	25		mA Min
				180			200		mA Max
N_O	Output Noise	$10 \text{ Hz} \leq f \leq 10 \text{ kHz}$	40		100	40		100	$\mu V_{rms Max}$
	Long Term Stability	$T_A = 125^\circ C$	20			20			mV/kHr

OSCILLATOR SECTION

f_{OSC}	Max. Freq.	$R_T = 1k, C_T = 0.001 \mu F$ (Note 7)	550		500	350			kHz_{Min}
f_{OSC}	Initial Accuracy	$R_T = 5.6k, C_T = 0.01 \mu F$ (Note 7)	20	17.5		20	17.5		kHz_{Min}
				22.5			22.5		kHz_{Max}
		$R_T = 2.7k, C_T = 0.01 \mu F$ (Note 7)	38	34		38	30		kHz_{Min}
				42			46		kHz_{Max}
Δf_{OSC}	Freq. Change with V_{IN}	$V_{IN} = 8 \text{ to } 40V$	0.5	1		0.5	1.0		$\%_{Max}$
Δf_{OSC}	Freq. Change with Temp.	$T_A = -55^\circ C \text{ to } +125^\circ C$ at 20 kHz $R_T = 5.6k,$ $C_T = 0.01 \mu F$	5			5			%
V_{OSC}	Output Amplitude (Pin 3) (Note 8)	$R_T = 5.6k, C_T = 0.01 \mu F$	3	2.4		3	2.4		V_{Min}
t_{PW}	Output Pulse Width (Pin 3)	$R_T = 5.6k, C_T = 0.01 \mu F$	0.5	1.5		0.5	1.5		μS_{Max}
	Sawtooth Peak Voltage	$R_T = 5.6k, C_T = 0.01 \mu F$	3.4	3.6	3.8		3.8		V_{Max}

電気的特性 (Note 1) (つづき)

Symbol	Parameter	Conditions	LM2524D			LM3524D			Units
			Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	
	Sawtooth Valley Voltage	$R_T = 5.6k, C_T = 0.01 \mu F$	1.1	0.8	0.6		0.6		V_{Min}
ERROR-AMP SECTION									
V_{IO}	Input Offset Voltage	$V_{CM} = 2.5V$	2	8	10	2	10		mV_{Max}
I_{IB}	Input Bias Current	$V_{CM} = 2.5V$	1	8	10	1	10		μA_{Max}
I_{IO}	Input Offset Current	$V_{CM} = 2.5V$	0.5	1.0	1	0.5	1		μA_{Max}
I_{COSI}	Compensation Current (Sink)	$V_{IN(I)} - V_{IN(NI)} = 150 mV$	95	65		95	65		μA_{Min}
				125			125		μA_{Max}
I_{COSO}	Compensation Current (Source)	$V_{IN(NI)} - V_{IN(I)} = 150 mV$	-95	-125		-95	-125		μA_{Min}
				-65			-65		μA_{Max}
A_{VOL}	Open Loop Gain	$R_L = \infty, V_{CM} = 2.5 V$	80	74	60	80	70	60	dB_{Min}
$VCMR$	Common Mode Input Voltage Range			1.5	1.4		1.5		V_{Min}
				5.5	5.4		5.5		V_{Max}
$CMRR$	Common Mode Rejection Ratio		90	80		90	80		dB_{Min}
G_{BW}	Unity Gain Bandwidth	$A_{VOL} = 0 dB, V_{CM} = 2.5V$	3			2			MHz
V_O	Output Voltage Swing	$R_L = \infty$		0.5			0.5		V_{Min}
				5.5			5.5		V_{Max}
$PSRR$	Power Supply Rejection Ratio	$V_{IN} = 8 \text{ to } 40V$	80		70	80	65		dB_{Min}
COMPARATOR SECTION									
t_{ON} t_{OSC}	Minimum Duty Cycle	Pin 9 = 0.8V, $[R_T = 5.6k, C_T = 0.01 \mu F]$	0	0		0	0		% $_{Max}$
t_{ON} t_{OSC}	Maximum Duty Cycle	Pin 9 = 3.9V, $[R_T = 5.6k, C_T = 0.01 \mu F]$	49	45		49	45		% $_{Min}$
t_{ON} t_{OSC}	Maximum Duty Cycle	Pin 9 = 3.9V, $[R_T = 1k, C_T = 0.001 \mu F]$	44	35		44	35		% $_{Min}$
V_{COMPZ}	Input Threshold (Pin 9)	Zero Duty Cycle	1			1			V
V_{COMPM}	Input Threshold (Pin 9)	Maximum Duty Cycle	3.5			3.5			V
I_{IB}	Input Bias Current		-1			-1			μA
CURRENT LIMIT SECTION									
V_{SEN}	Sense Voltage	$V_{(Pin 2)} - V_{(Pin 1)} \geq 150 mV$	200	180		200	180		mV_{Min}
				220			220		mV_{Max}
$TC-V_{sense}$	Sense Voltage T.C.		0.2			0.2			$mV/^\circ C$

電気的特性 (Note 1) (つづき)

Symbol	Parameter	Conditions	LM2524D			LM3524D			Units
			Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Typ	Tested Limit (Note 3)	Design Limit (Note 4)	
	Common Mode Voltage Range	$V_5 - V_4 = 300 \text{ mV}$	-0.7 1			-0.7 1			V_{Min} V_{Max}
SHUT DOWN SECTION									
V_{SD}	High Input Voltage	$V_{(\text{Pin } 2)} - V_{(\text{Pin } 1)} \geq 150 \text{ mV}$	1	0.5 1.5		1	0.5 1.5		V_{Min} V_{Max}
I_{SD}	High Input Current	$I_{(\text{pin } 10)}$	1			1			mA
OUTPUT SECTION (EACH OUTPUT)									
V_{CES}	Collector Emitter Voltage Breakdown	$I_{\text{C}} \leq 100 \mu\text{A}$		55			40		V_{Min}
I_{CES}	Collector Leakage Current	$V_{\text{CE}} = 60\text{V}$							
		$V_{\text{CE}} = 55\text{V}$	0.1	50				μA_{Max}	
		$V_{\text{CE}} = 40\text{V}$				0.1	50		
V_{CESAT}	Saturation Voltage	$I_{\text{E}} = 20 \text{ mA}$	0.2	0.5		0.2	0.7		V_{Max}
		$I_{\text{E}} = 200 \text{ mA}$	1.5	2.2		1.5	2.5		
V_{EO}	Emitter Output Voltage	$I_{\text{E}} = 50 \text{ mA}$	18	17		18	17		V_{Min}
t_{R}	Rise Time	$V_{\text{IN}} = 20\text{V}$, $I_{\text{E}} = -250 \mu\text{A}$ $R_{\text{C}} = 2\text{k}$	200			200			ns
t_{F}	Fall Time	$R_{\text{C}} = 2\text{k}$	100			100			ns
SUPPLY CHARACTERISTICS SECTION									
V_{IN}	Input Voltage Range	After Turn-on		8 40			8 40		V_{Min} V_{Max}
T	Thermal Shutdown Temp.	(Note 2)	160			160			$^{\circ}\text{C}$
I_{IN}	Stand By Current	$V_{\text{IN}} = 40\text{V}$ (Note 6)	5	10		5	10		mA

Note 1: 特記のない限り、これらの仕様は、 $V_{\text{IN}} = 20\text{V}$ 、 $f_{\text{OSC}} = 20\text{kHz}$ に適用されます。標準文字で表記される規格値は、 $T_{\text{A}} = T_{\text{J}} = 25$ に対するもので、太字は全動作温度範囲 (LM2524D: $-40 \sim 85$ 、LM3524D: $0 \sim 70$) に適用されます。

Note 2: 周囲温度が高い場合、N パッケージの場合接合部 - 周囲間熱抵抗 $86 \text{ }^{\circ}\text{C/W}$ 、M パッケージの場合 $125 \text{ }^{\circ}\text{C/W}$ で、デレーティングしなければなりません。

Note 3: テスト・リミットは 100% テストされ、保証されます。

Note 4: デザイン・リミットは全温度、全電源電圧範囲で保証されます (ただし、テストはされません)。このリミット値は、出荷品質レベルの計算には使われません。

Note 5: 絶対最大定格とは、IC に破壊が発生する可能性のある制限値をいいます。動作定格を超えて動作させているデバイスに対しては、DC または AC 特性は適用されません。

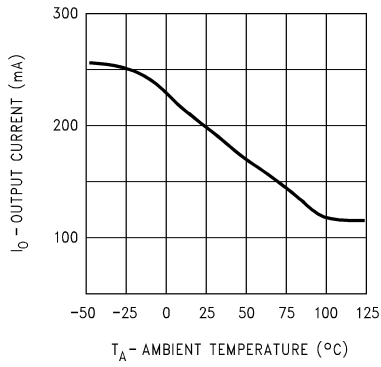
Note 6: ピン 1、4、7、8、11、14 はグラウンドに、ピン 2 は 2V に接続。他のピンはオープン。

Note 7: C_1 の値により、周波数はさまざまに変わります。高周波の動作では、コンデンサの選択に注意してください。このテストでは、ポリスチレンのコンデンサを使用しました。NPO セラミックまたは、ポリプロピレンが使用できます。

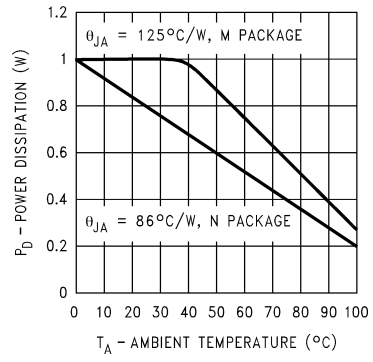
Note 8: 発振器の振幅は、出力オープンで測定しました。出力電流は 1mA に制限されるので、高速パルスでは容量性負荷を制限しなければなりません。

代表的な性能特性

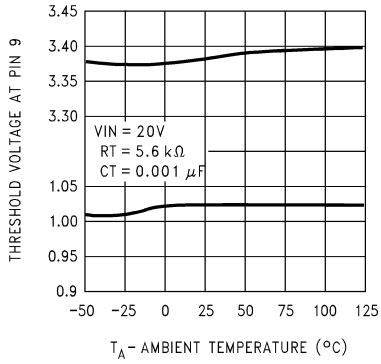
**Switching Transistor
Peak Output Current
vs Temperature**



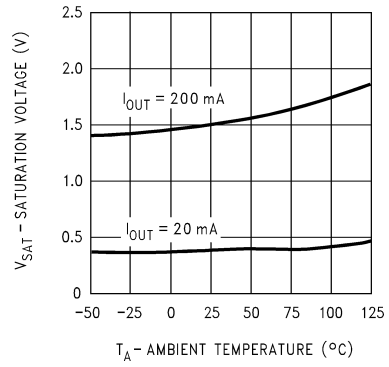
**Maximum Average Power
Dissipation (N, M Packages)**



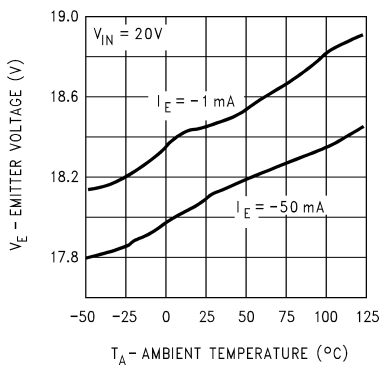
**Maximum & Minimum
Duty Cycle Threshold
Voltage**



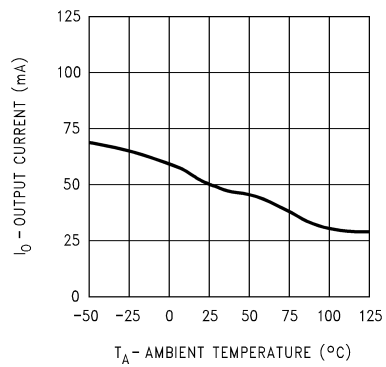
**Output Transistor
Saturation Voltage**



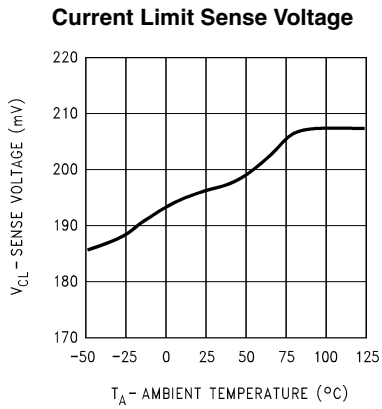
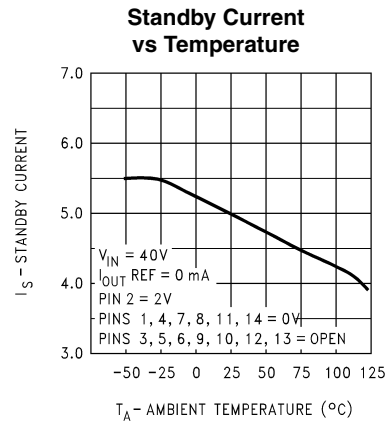
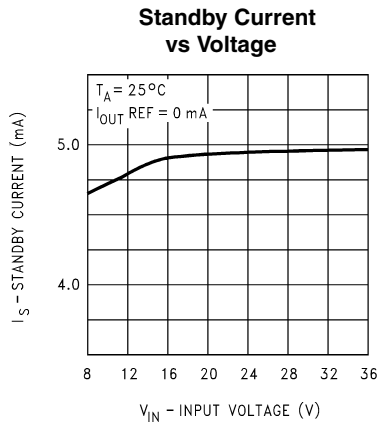
**Output Transistor Emitter
Voltage**



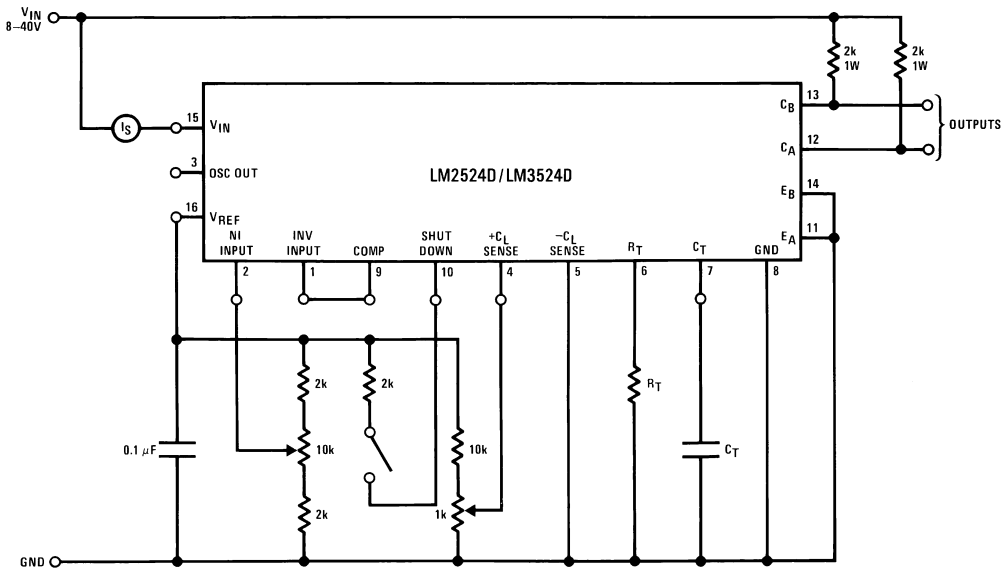
**Reference Transistor
Peak Output Current**



代表的な性能特性 (つづき)



テスト回路

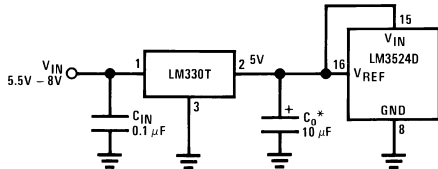


機能説明

内部レギュレータ

LM3524D は 5V、50mA で、短絡保護されたレギュレータを内蔵しています。このレギュレータはすべての内部回路の電源として機能し、外部の基準電圧としても使えます。

8V 以下の入力電圧では、5V 出力は 15 ピン (V_{IN}) に短絡してください。これで、5V レギュレータはディスエーブルされます。これらのピンを短絡したとき、入力電圧は最大 6V に制限しなければなりません。6V ~ 8V の入力電圧を使う場合、Figure 1 に示されているように、プリ・レギュレータを追加しなければなりません。



* 安定させるために 10μF の C_O (Min) が必要です。

FIGURE 1.

発振

LM3524D は安定した発振器を内蔵しています。周波数は外付けの抵抗 R_T 、コンデンサ C_T で設定します。 R_T 、 C_T 対発振周波数のグラフが Figure 2 に示してあります。発振器は内部フリップ・フロップをトリガする信号を出力します。このフリップ・フロップは出力への PWM 情報と、貫通が生じないように過渡期間に両出力をターンオフするためのブランキング・パルスを制御します。ブランキング・パルスの幅、つまりデッド・タイムは、Figure 3 に示されているように、 C_T の値で制御されます。 R_T の推奨値は 1.8k から 100k で、 C_T の推奨値は 0.001μF から 0.1μF です。

2 個以上の LM3524D を同期させる時、最も容易な方法は、すべての IC の 3 ピンを相互に結線し、すべての 7 ピンを (一緒に) 1 個の C_T に結線し、6 ピンは、 R_T を 1 つの IC に接続し、他はすべてオープンにします。LM3524D が 6 インチ以上離れていない限り、この方法で動作します。

次の同期法はどのような回路レイアウトでも適しています。マスターに指定したひとつの LM3524D の R_T 、 C_T は正しい周期に設定しなければなりません。他のスレーブの LM3524D は、各々の R_T 、 C_T を 10%ほど長い周期に設定します。さらに、マスターがスレーブ・ユニットを適切にリセットできるように、すべての 3 ピンを相互に結線します。

内部の自励オシレータの周波数を外部クロックより 10%遅く設定し、クロックからのパルス (約 3V) で 3 ピンをドライブして、オシレータを外部クロックに同期できます。完全に同期をとるには、パルス幅を 50ns 以上にします。

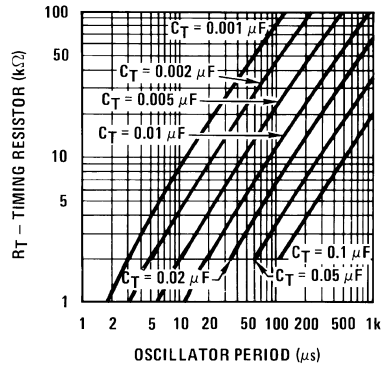


FIGURE 2.

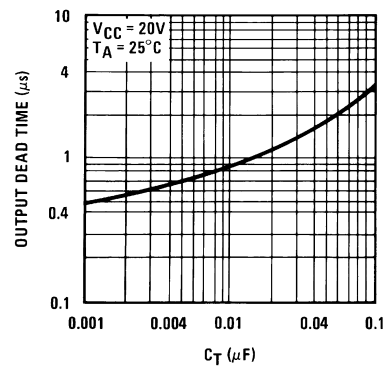


FIGURE 3.

エラー・アンプ

このエラー・アンプは、差動入力のトランスコンダクタンス・アンプです。ゲインは、フィードバックあるいは出力負荷のいずれかで設定します。この出力負荷は純粋に抵抗性でもよく、抵抗とリアクティブ素子の組み合わせでもかまいません。アンプのゲイン対出力負荷抵抗のグラフを Figure 4 に示します。

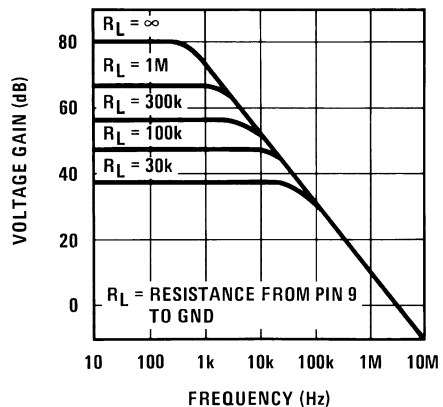


FIGURE 4.

機能説明 (つづき)

出力インピーダンスが非常に高いので ($Z_0 \cong 5M \Omega$)、アンプの出力、つまりパルス幅モジュレータへの入力は容易にオーバーライドできます。このため、DC 電圧を 9 ピンに加えられ、それによりエラー・アンプをオーバーライドして、特定のデューティ・サイクルを出力に強制できます。一例としては、9 ピンに可変電圧を加えてモータの速度を制御するノン・レギュレーティング・モータ・スピード・コントローラがあります。出力デューティ・サイクル対 9 ピンの電圧のグラフを Figure 5 に示します。

デューティ・サイクルは、オシレータの周期に対する各出力のオン時間のパーセンテージとして計算してあります。出力を並列にすると、観測されるデューティ・サイクルは倍になります。

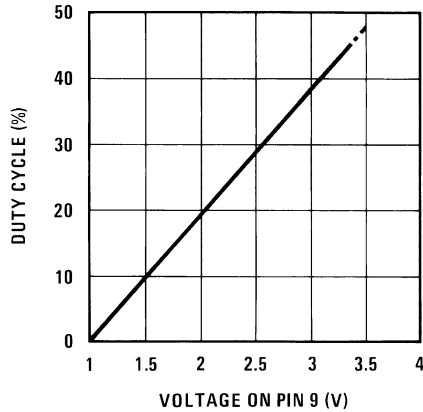


FIGURE 5.

エラー・アンプの同相入力範囲は 1.5V ~ 5.5V です。オンチップのレギュレータは、入力をこの範囲でバイアスするのに役立ちます。

電流制限

電流制限アンプの機能は、エラー・アンプの出力をオーバーライドして、パルス幅を制御することです。200mV の電流制限検出電圧が $+C_L$ と $-C_L$ の検出端子間に加わると、出力デューティ・サイクルは約 25% に落ちます。検出電圧を約 5% 上げると、出力デューティ・サイクルは 0% になります。- 0.7V から + 1.0V の同相入力範囲を超さないように注意してください。

ほとんどのアプリケーションでは、電流制限検出電圧は検出抵抗を流れる電流によって作ります。この電流制限の精度は検出抵抗の精度と、 $+C_L$ から $-C_L$ へ流れる、100 μ A (Typ) の小さなオフセット電流で制限されます。

出力段

LM3524D の出力は最大 200mA の電流を流せる NPN トランジスタです。これらのトランジスタは 180 度ずれた位相でドライブされ、Figure 6 に示されているように、そのコレクタとエミッタはどこにも接続されていないので、多様な応用ができます。

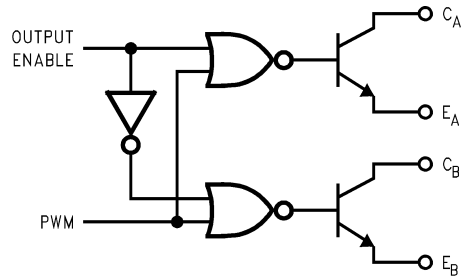
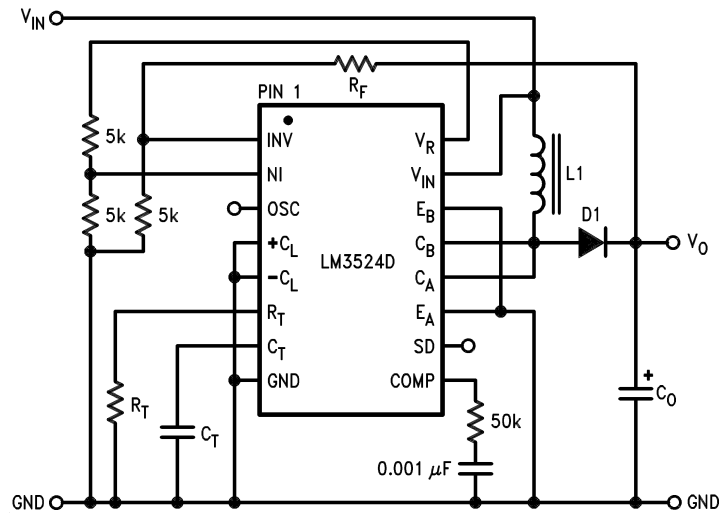


FIGURE 6.

代表的なアプリケーション



Design Equations

$$R_F = 5k \left(\frac{V_O}{2.5} - 1 \right)$$

$$f_{OSC} \cong \frac{1}{R_T C_T}$$

$$L1 = \frac{2.5 V_{IN}^2 (V_O - V_{IN})}{f_{OSC} I_o V_O^2}$$

$$C_O = \frac{I_o (V_O - V_{IN})}{f_{OSC} \Delta V_O V_O}$$

$$I_{o(MAX)} = I_{IN} \frac{V_{IN}}{V_O}$$

FIGURE 7. Positive Regulator, Step-Up Basic Configuration ($I_{IN(MAX)} = 80 \text{ mA}$)

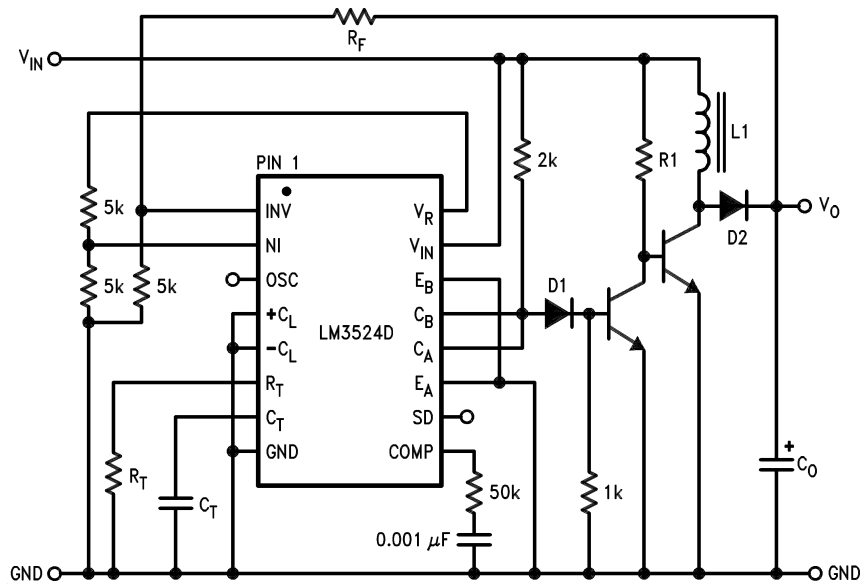
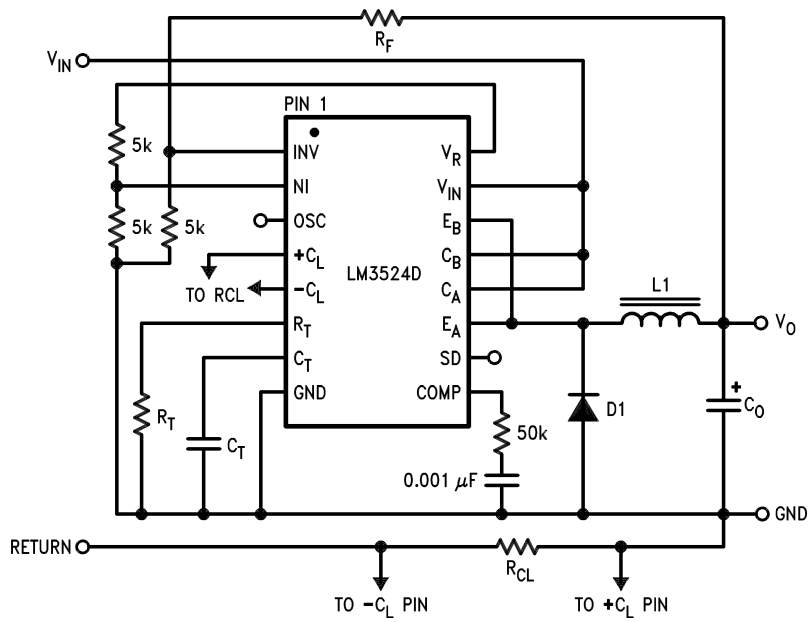


FIGURE 8. Positive Regulator, Step-Up Boosted Current Configuration

代表的なアプリケーション (つづき)



Design Equations

$$R_F = 5 \text{ k}\Omega \left(\frac{V_O}{2.5} - 1 \right)$$

$$R_{CL} = \frac{\text{Current Limit Sense Volt}}{I_{O(MAX)}}$$

$$f_{OSC} \cong \frac{1}{R_T C_T}$$

$$L1 = \frac{2.5 V_O (V_{IN} - V_O)}{I_O V_{IN} f_{OSC}}$$

$$C_O = \frac{(V_{IN} - V_O) V_O T^2}{8 \Delta V_O V_{IN} L1}$$

$$I_{O(MAX)} = I_{IN} \frac{V_{IN}}{V_O}$$

FIGURE 9. Positive Regulator, Step-Down Basic Configuration ($I_{IN(MAX)} = 80 \text{ mA}$)

代表的なアプリケーション (つぎ)

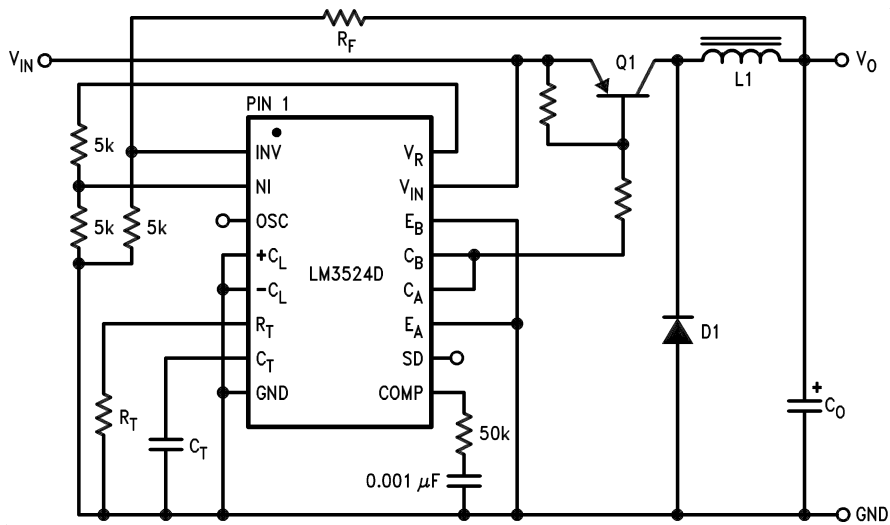
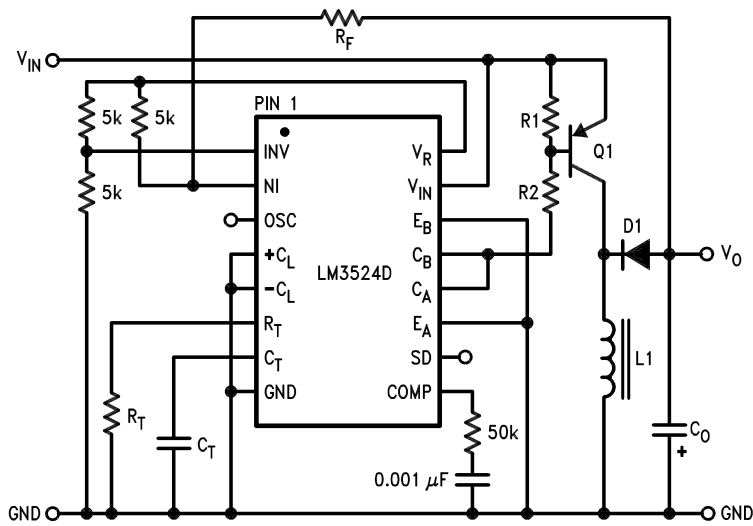


FIGURE 10. Positive Regulator, Step-Down Boosted Current Configuration



Design Equations

$$R_F = 5k \left(1 - \frac{V_O}{2.5} \right)$$

$$f_{OSC} \cong \frac{1}{R_T C_T}$$

$$L1 = \frac{2.5V_{IN} V_O}{f_{OSC} (V_O + V_{IN}) I_O}$$

$$C_O = \frac{I_O V_O}{\Delta V_O f_{OSC} (V_O + V_{IN})}$$

FIGURE 11. Boosted Current Polarity Inverter

代表的なアプリケーション (つぎ)

スイッチング・レギュレータの基礎理論とアプリケーション

ステップダウン・スイッチング・レギュレータの基本回路を Figure 12 に、LM3524D を使ったアプリケーションの回路を Figure 15 に示します。

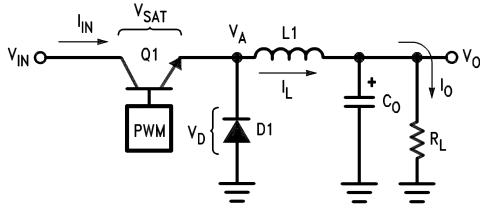


FIGURE 12. Basic Step-Down Switching Regulator

回路は次のように動作します。Q1 はスイッチとして使われ、そのオン時間とオフ時間はパルス幅モジュレータによってコントロールされます。Q1 がオンのとき、電力は VIN から引き出され、L1 を通して負荷へ供給されます。このとき、VA はおよそ VIN と同じで、D1 は逆バイアスされており、CO は充電されます。Q1 がターンオフのとき、インダクタ L1 は、その中で電流が流れ続けるように、VA を負に強制します。D1 は導通し始め、負荷電流は D1 と L1 を通って流れます。VA の電圧は L1 と CO のフィルタで平滑化され、DC 電圧を出力します。L1 を流れる電流は、定格 DC 負荷電流と、L1 の両端電圧による IL の和です。概算としては、ILP-P ≅ 40% × IO に設定します。

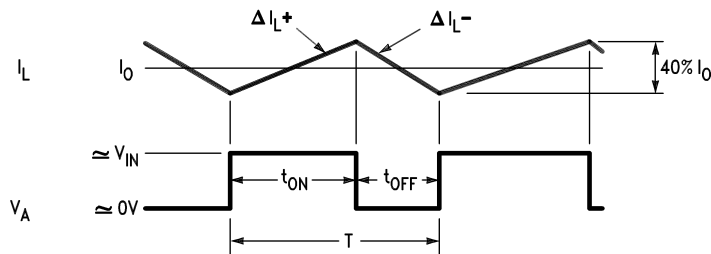


FIGURE 13. Relation of Switch Timing to Inductor Current in Step-Down Regulator

回路の効率 は :

$$V_L = L \frac{di}{dt}, \Delta I_L \cong \frac{V_L T}{L1} \text{ から}$$

$$\Delta I_{L+} = \frac{(V_{IN} - V_o) t_{ON}}{L1}, \Delta I_{L-} = \frac{V_o t_{OFF}}{L1}$$

$$\eta_{MAX} = \frac{P_o}{P_{IN}} = \frac{I_o V_o}{I_o \frac{(t_{ON})}{T} V_{IN} + \frac{(V_{SAT} t_{ON} + V_{D1} t_{OFF})}{T} I_o}$$

$$= \frac{V_o}{V_o + 1} \text{ ただし } V_{SAT} = V_{D1} = 1V$$

VSAT と VD を無視し、IL+ = IL- とすると

$$V_o \cong V_{IN} \left(\frac{t_{ON}}{t_{OFF} + t_{ON}} \right) = V_{IN} \left(\frac{t_{ON}}{T} \right)$$

ただし、T = 全周期

上式は VIN、VO、およびデューティ・サイクルの関係を示します。

$$I_{IN(DC)} = I_{OUT(DC)} \left(\frac{t_{ON}}{t_{ON} + t_{OFF}} \right)$$

Q1 は tON の間だけ電流を流します。

$$P_{IN} = I_{IN(DC)} V_{IN} = (I_o(DC)) \left(\frac{t_{ON}}{t_{ON} + t_{OFF}} \right) V_{IN}$$

$$P_o = I_o V_o$$

MAX は Q1 のスイッチング損失によさらに低下します。このため、できるだけ大きな fT (つまり、高速の立ち上がり、立ち下がり特性) の Q1 を選ぶべきです。

インダクタ L1 の計算

$$t_{ON} \cong \frac{(\Delta I_{L+}) \times L1}{(V_{IN} - V_o)}, t_{OFF} = \frac{(\Delta I_{L-}) \times L1}{V_o}$$

$$t_{ON} + t_{OFF} = T = \frac{(\Delta I_{L+}) \times L1}{(V_{IN} - V_o)} + \frac{(\Delta I_{L-}) \times L1}{V_o}$$

$$= \frac{0.4 I_o L1}{(V_{IN} - V_o)} + \frac{0.4 I_o L1}{V_o}$$

IL+ = IL- = 0.4Io なので、上式を L1 について解くと

代表的なアプリケーション (つぎ)

$$L1 = \frac{2.5 V_o (V_{IN} - V_o)}{I_o V_{IN} f}$$

ただし、L1 の単位はヘンリー。

f はスイッチング周波数 (Hz)。

さらに、LM3578 のデータシートのグラフを使ったインダクタの選択方法を参照してください。

出力フィルタ・コンデンサ C_o の計算

Figure 13 に、Q1 の t_{ON} 時間と t_{OFF} 時間に対する L1 の電流を示します (V_A はコレクタ Q1 での電圧です)。この電流は負荷と C_o へ流れなければなりません。したがって、C_o の電流は I_L と I_o の差になります。

$$I_{C_o} = I_L - I_o$$

Figure 13 から、電流は、t_{ON} の後半分と t_{OFF} の前半分の間、つまり t_{ON}/2 + t_{OFF}/2 の時間、C_o へ流れることがわかります。この間に流れる電流は I_L/4 です。その結果生じる V_c、つまり V_o は次式で表せます。

$$\begin{aligned} \Delta V_{op-p} &= \frac{1}{C} \times \frac{\Delta I_L}{4} \times \left(\frac{t_{ON}}{2} + \frac{t_{OFF}}{2} \right) \\ &= \frac{\Delta I_L}{4C} \left(\frac{t_{ON} + t_{OFF}}{2} \right) \end{aligned}$$

Since $\Delta I_L = \frac{V_o(T - t_{ON})}{L1}$ および $t_{ON} = \frac{V_o T}{V_{IN}}$ であるから

$$\Delta V_{op-p} = \frac{V_o \left(T - \frac{V_o T}{V_{IN}} \right)}{4C L1} \left(\frac{T}{2} \right) = \frac{(V_{IN} - V_o) V_o T^2}{8V_{IN} C_o L1} \text{ または}$$

$$C_o = \frac{(V_{IN} - V_o) V_o T^2}{8 \Delta V_o V_{IN} L1}$$

C の単位はファラッド、T は $\frac{1}{\text{switching frequency}}$
 ΔV_o は出力リップルの p-p 値

最良のレギュレーションを実現するには、インダクタの電流をゼロに落としてはいけません。いくつかの最小負荷電流 I_o、つまりインダクタ電流が、次に示すように必要です。

$$I_{o(MIN)} = \frac{(V_{IN} - V_o) t_{ON}}{2L1} = \frac{(V_{IN} - V_o) V_o}{2fV_{IN}L1}$$

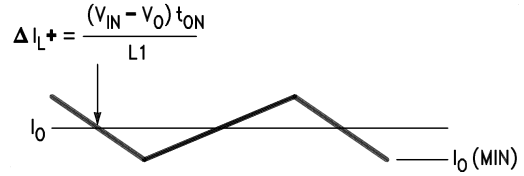


FIGURE 14. Inductor Current Slope in Step-Down Regulator

LM3524D を使った、ステップダウン・スイッチング・レギュレータの回路図を Figure 15 に示します。出力を 1A にブーストするため、トランジスタ Q1 と Q2 が追加されています。LM3524D の 5V レギュレータが、エラー・アンプの非反転入力を同相範囲内にバイアスするために、1/2 に分圧されています。各出力トランジスタは半周期 (実際は 45%) の間オンしているため、90% までのデューティ・サイクルを可能にするため、これらは並列につながれています。これにより入力電圧を低くすることができます。出力電圧は次のように設定されます。

$$V_o = V_{NI} \left(1 + \frac{R1}{R2} \right)$$

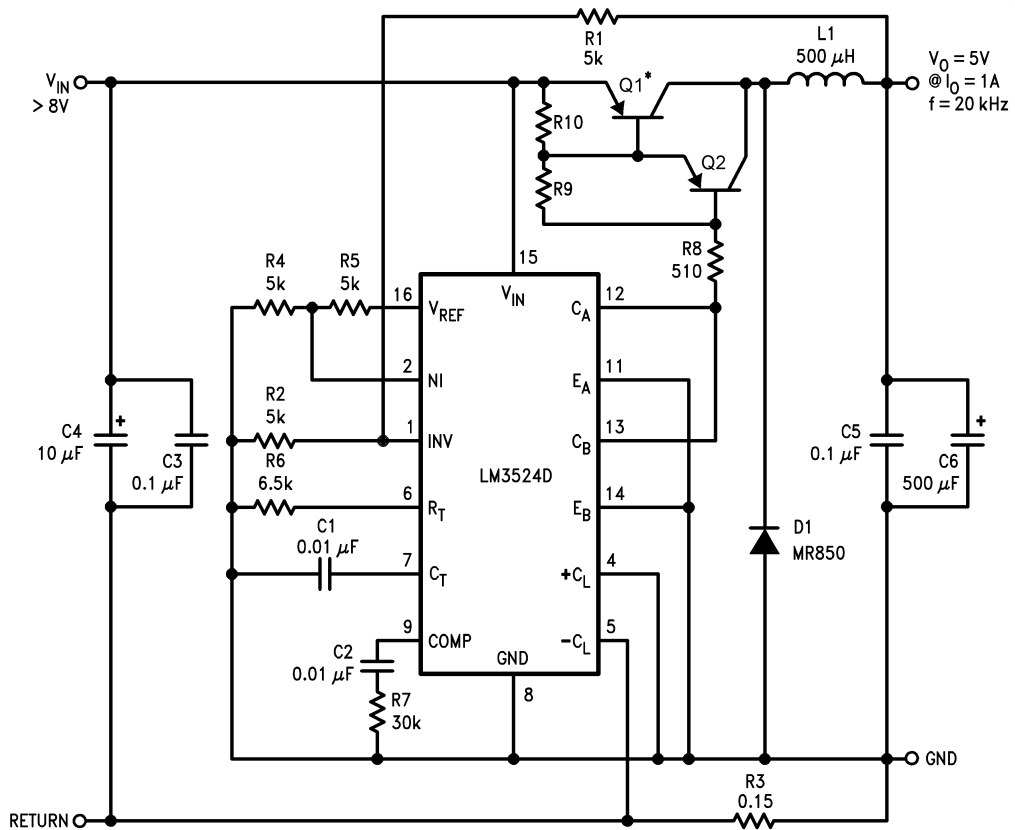
ただし、V_{NI} はエラー・アンプの非反転入力の電圧です。

抵抗 R3 は電流制限を次の値に設定します。

$$\frac{200 \text{ mV}}{R3} = \frac{200 \text{ mV}}{0.15} = 1.3A$$

Figure 16 と Figure 17 は Figure 15 の 5V、1A のレギュレータの部品の配置図と PC ボードのレイアウトを示しています。レギュレータの性能は Table 1 にまとめています。

代表的なアプリケーション (つぎ)



*Staver ヒートシンク No. V5-1 に実装します。

Q1 = BD344

Q2 = 2N5023

L1 = > 40 No.22 ワイヤを Ferroxcube No. K300502 Torroid コアに巻きます。

FIGURE 15. 5V, 1 Amp Step-Down Switching Regulator

代表的なアプリケーション (つぎ)

TABLE 1.

Parameter	Conditions	Typical Characteristics
Output Voltage	$V_{IN} = 10V, I_o = 1A$	5V
Switching Frequency	$V_{IN} = 10V, I_o = 1A$	20 kHz
Short Circuit	$V_{IN} = 10V$	1.3A
Current Limit		
Load Regulation	$V_{IN} = 10V$ $I_o = 0.2 - 1A$	3 mV
Line Regulation	$\Delta V_{IN} = 10 - 20V,$ $I_o = 1A$	6 mV
Efficiency	$V_{IN} = 10V, I_o = 1A$	80%
Output Ripple	$V_{IN} = 10V, I_o = 1A$	10 mVp-p

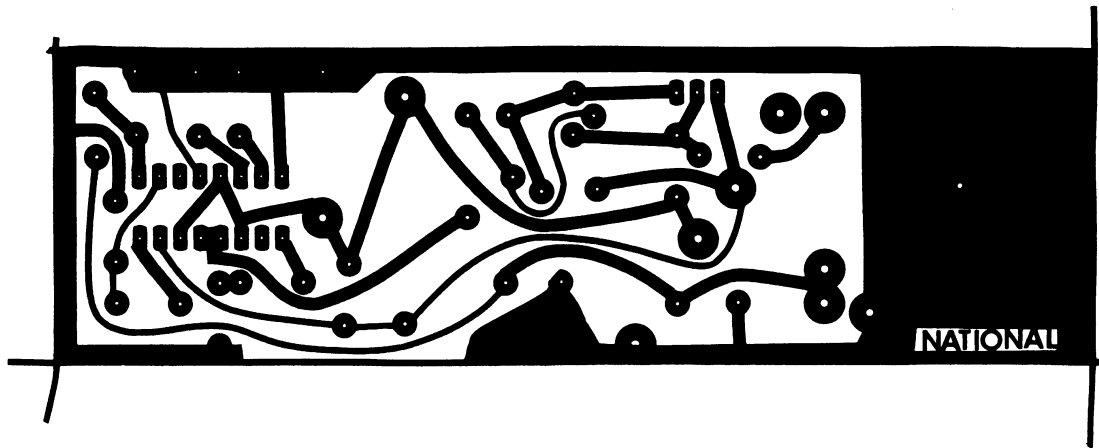


FIGURE 16. 5V, 1 Amp Switching Regulator, Foil Side

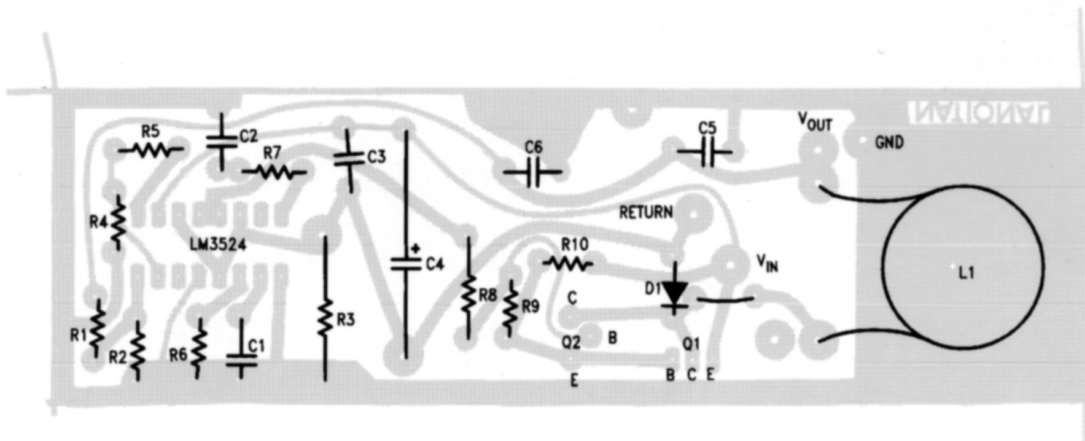


FIGURE 17. Stuffing Diagram, Component Side

代表的なアプリケーション (つぎ)

ステップアップ・スイッチング・レギュレータ

Figure 18 にステップアップ・スイッチング・レギュレータの基本回路を示します。この回路では、インダクタ L1 の両端に V_{IN} を印加するためのスイッチとして Q1 が使われています。t_{ON} 時間の間、Q1 はオンになっており、エネルギーが V_{IN} から引き出され L1 に蓄えられます。このとき D1 は逆方向にバイアスされており I_o は C_o に蓄積されている電荷から供給されます。Q1 が t_{OFF} の期間に、オフになると、V1 の電圧は D1 がターンオンする点まで正方向に上昇します。このとき出力電流は L1、D1 を通って負荷へ供給され、さらに、t_{ON} の間に C_o から失われた電荷を補充します。ステップダウン・レギュレータの場合と同様、ここでは、L1 を流れる電流には DC 成分に I_L が加わっています。I_L は同様に I_L の約 40% になるように選定します。Figure 19 に、Q1 のオン・オフ時間とインダクタ電流の関係を示します。

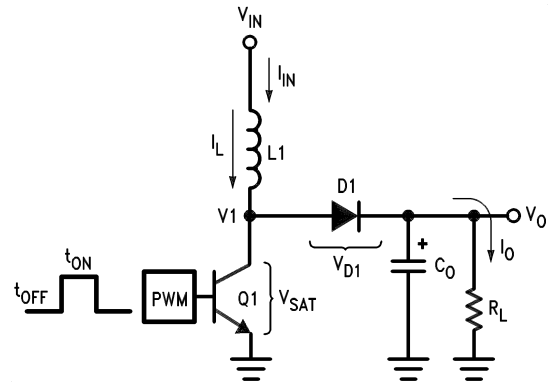


FIGURE 18. Basic Step-Up Switching Regulator

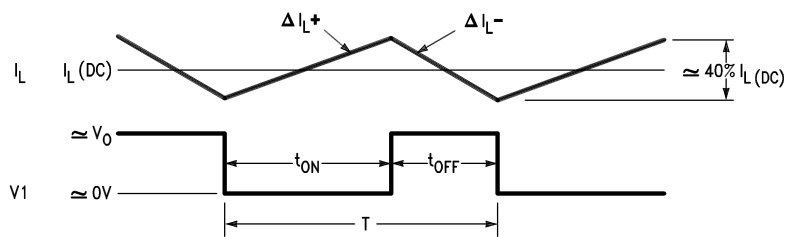


FIGURE 19. Relation of Switch Timing to Inductor Current in Step-Up Regulator

$$\text{From } \Delta I_L = \frac{V_L T}{L}, \Delta I_{L+} \cong \frac{V_{IN} t_{ON}}{L1}$$

$$\text{and } \Delta I_{L-} \cong \frac{(V_O - V_{IN}) t_{OFF}}{L1}$$

$$I_{L+} = I_{L-} \text{ なので、 } V_{IN} t_{ON} = V_O t_{OFF} - V_{IN} t_{OFF}$$

V_{SAT} と V_{D1} を無視して、

$$V_O \cong V_{IN} \left(1 + \frac{t_{ON}}{t_{OFF}} \right)$$

上式は V_{IN}、V_O、デューティ・サイクルの関係を示しています。インダクタの DC 電流に等しい、入力電流 I_{IN(DC)} を計算する時は、はじめは 100% の効率を仮定します。

$$P_{IN} = I_{IN(DC)} V_{IN}$$

$$P_{OUT} = I_o V_O = I_o V_{IN} \left(1 + \frac{t_{ON}}{t_{OFF}} \right)$$

= 100% のとき、P_{OUT} = P_{IN}

$$I_o V_{IN} \left(1 + \frac{t_{ON}}{t_{OFF}} \right) = I_{IN(DC)} V_{IN}$$

$$I_{IN(DC)} = I_o \left(1 + \frac{t_{ON}}{t_{OFF}} \right)$$

この式は、入力電流、つまりインダクタ電流は出力電流より先 (1 + t_{ON}/t_{OFF}) の係数だけ大きいことを示しています。この係数は V_O と V_{IN} の関係に等しいので、I_{IN(DC)} は次式でも表すことができます。

$$I_{IN(DC)} = I_o \left(\frac{V_O}{V_{IN}} \right)$$

ここまでは、η = 100% と仮定しましたが、Q1 の飽和電圧と D1 の順方向電圧により、実際の効率、つまり η_{MAX} は小さくなります。これらの電圧による内部電力損失は、V_{SAT} と V_{D1} のいずれかを流れる I_L、つまり I_{IN} の平均となります。V_{SAT} = V_{D1} = 1V のとき、この電力損失は I_{IN(DC)}(1V) となります。したがって η_{MAX} は次のようになります。

$$\eta_{MAX} = \frac{P_O}{P_{IN}} = \frac{V_O I_o}{V_O I_o + I_{IN} (1V)} = \frac{V_O I_o}{V_O I_o + I_o \left(1 + \frac{t_{ON}}{t_{OFF}} \right)}$$

$$\text{From } V_O = V_{IN} \left(1 + \frac{t_{ON}}{t_{OFF}} \right)$$

$$\eta_{max} = \frac{V_{IN}}{V_{IN} + 1}$$

この式は DC 損失だけを仮定していますが、Q1 と D1 のスイッチング時間のため、η_{MAX} はさらに低下します。

代表的なアプリケーション (つづき)

出力コンデンサ C_o の計算では、 t_{ON} の間 C_o が I_o を供給することがわかります。この間の C_o の電圧変化は、 $V_c = V_o$ 、つまりレギュレータの出力リップルとなります。 C_o は次のように計算されます。

$$\Delta V_o = \frac{I_o t_{ON}}{C_o} \text{ または } C_o = \frac{I_o t_{ON}}{\Delta V_o}$$

$$\text{From } V_o = V_{IN} \left(\frac{T}{t_{OFF}} \right); t_{OFF} = \frac{V_{IN}}{V_o} T$$

$$\text{where } T = t_{ON} + t_{OFF} = \frac{1}{f}$$

$$t_{ON} = T - \frac{V_{IN}}{V_o} T = T \left(\frac{V_o - V_{IN}}{V_o} \right) \text{ したがって}$$

$$C_o = \frac{I_o T \left(\frac{V_o - V_{IN}}{V_o} \right)}{\Delta V_o} = \frac{I_o (V_o - V_{IN})}{f \Delta V_o V_o}$$

C_o の単位はファラド、 f はスイッチング周波数 (Hz)、

V_o は p-p 出力リップル

インダクタ $L1$ の計算は次のとおりです。

$$L1 = \frac{V_{IN} t_{ON}}{\Delta I_L^+}, \text{ since during } t_{ON}$$

V_{IN} は $L1$ の両端に加わります。

$$\Delta I_{Lp-p} = 0.4 I_L = 0.41 I_{IN} = 0.4 I_o \left(\frac{V_o}{V_{IN}} \right)$$

$$\text{したがって } L1 = \frac{V_{IN} t_{ON}}{0.4 I_o \left(\frac{V_o}{V_{IN}} \right)} \text{ さらに } t_{ON} = \frac{T (V_o - V_{IN})}{V_o}$$

$$L1 = \frac{2.5 V_{IN}^2 (V_o - V_{IN})}{f I_o V_o^2}$$

ただし: $L1$ の単位はヘンリー、 f はスイッチング周波数 (Hz)。

上記の理論を適用した、ステップアップ・スイッチング・レギュレータを Figure 20 に示します。 V_{IN} は 5V なので、 V_{REF} は V_{IN} につないであります。エラー・アンプの反転入力をバイアスするため、入力電圧は 1/2 に分圧されています。出力電圧は次のようになります。

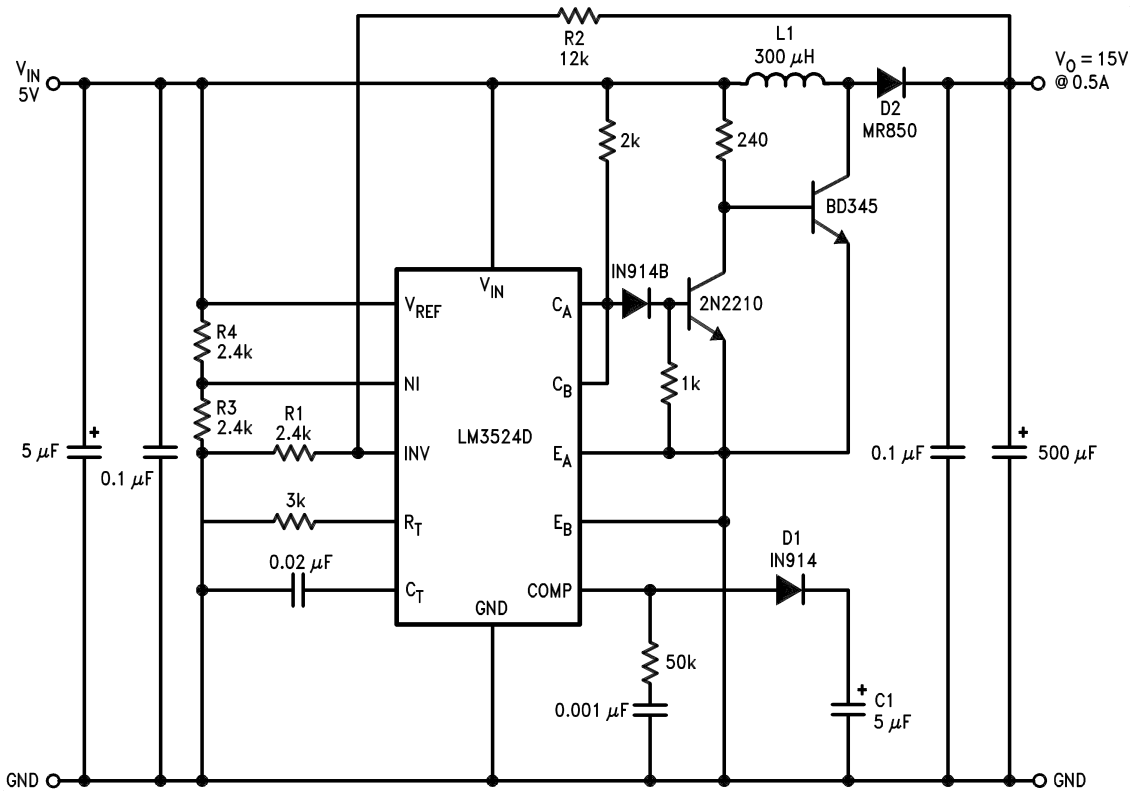
$$V_{OUT} = \left(1 + \frac{R2}{R1} \right) \times V_{INV} = 2.5 \times \left(1 + \frac{R2}{R1} \right)$$

$D1$ と $C1$ はスロー・スタート回路を形成します。

これは、エラー・アンプの出力を最初ローに保って、デューティ・サイクルを最小にします。このスロースタート回路がないと、インダクタは出力コンデンサを 0V から充電するために、高いピーク電流を供給しなければならず、ターンオン時に飽和する場合があります。この回路には電源電圧除去機能がないことにも注意してください。エラー・アンプの非反転入力に基準電圧を追加すると (Figure 21 を参照)、入力電圧の変動は除去されます。

LM3524D は、インダクタを使わないスイッチング・レギュレータとしても使用できます。Figure 22 は回路を Figure 20 に接続すると、- 15V のレギュレートされていない出力を得る反転回路を示したものです。

代表的なアプリケーション (つぎ)



L1 = > 25 No.24 ワイヤを Ferroxcube No. K300502 Torroid コアに巻きます。

FIGURE 20. 15V, 0.5A Step-Up Switching Regulator

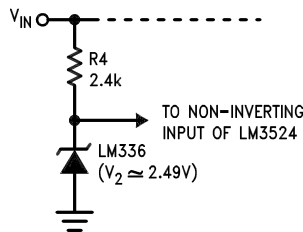


FIGURE 21. Replacing R3/R4 Divider in Figure 20 with Reference Circuit Improves Line Regulation

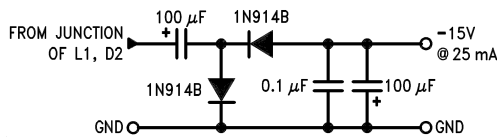
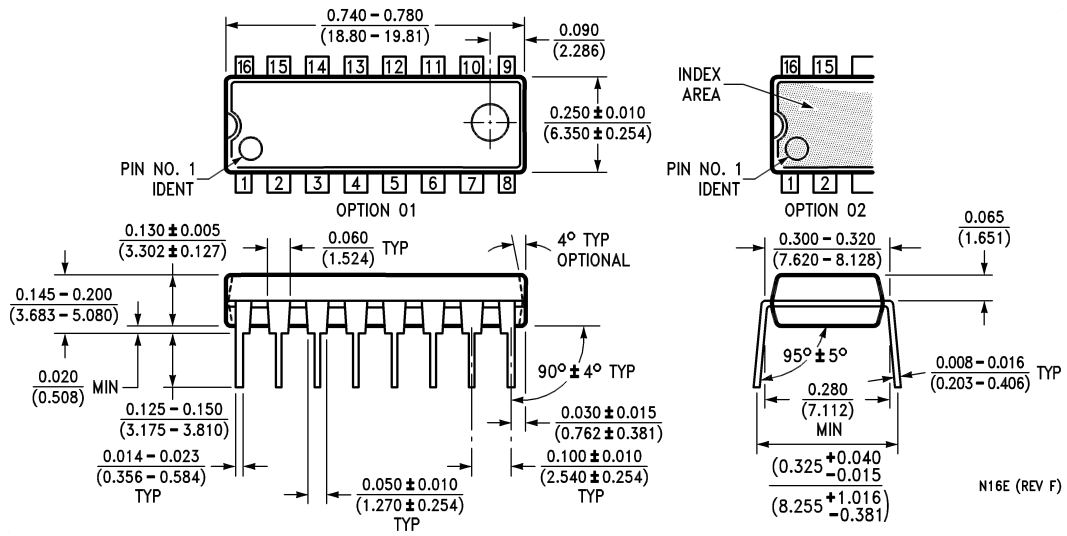


FIGURE 22. Polarity Inverter Provides Auxiliary - 15V Unregulated Output from Circuit of Figure 20

外形寸法図 特記のない限り inches (millimeters) (つづき)



Molded Dual-In-Line Package (N)
 Order Number LM2524DN or LM3524DN
 NS Package Number N16E

N16E (REV F)

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2008 National Semiconductor Corporation
製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/