

AD9854

特長

- 内部クロック・レート：300MHz
- 12ビット出力D/Aコンバータ内蔵
- 超高速3psのRMSジッター・コンパレータ内蔵
- 優れたダイナミック性能：80dB SFDR@100MHz (±1MHz) A_{OUT}
- 4~20×のプログラマブルなリファレンス・クロック乗算器を内蔵
- 48ビット・プログラマブル周波数レジスタを2個内蔵
- 14ビット・プログラマブル位相オフセット・レジスタを2個内蔵
- 12ビット振幅変調機能、プログラマブルな整形ON/OFFキーイング機能
- シングル・ピンのFSKおよびPSKデータ・インターフェース
- シングル・ピン周波数保持機能付き線形/非線形のFM掃引機能
- 周波数ランプ型FSK機能
- クロック・ジェネレータ・モードでのRMS総ジッター：25ps未満
- 双方向の自動周波数掃引が可能
- SIN(x)×補正
- 簡素化されたコントロール・インターフェース
 - 10MHzの2線式/3線式SPI互換シリアル・インターフェース
 - または100MHz/パラレル8ビット・インターフェースによる設定
- 3.3V単電源動作
- 複数のパワーダウン機能

シングルエンドまたは差動入力のリファレンス・クロック
小型80ピンLQFPパッケージを採用

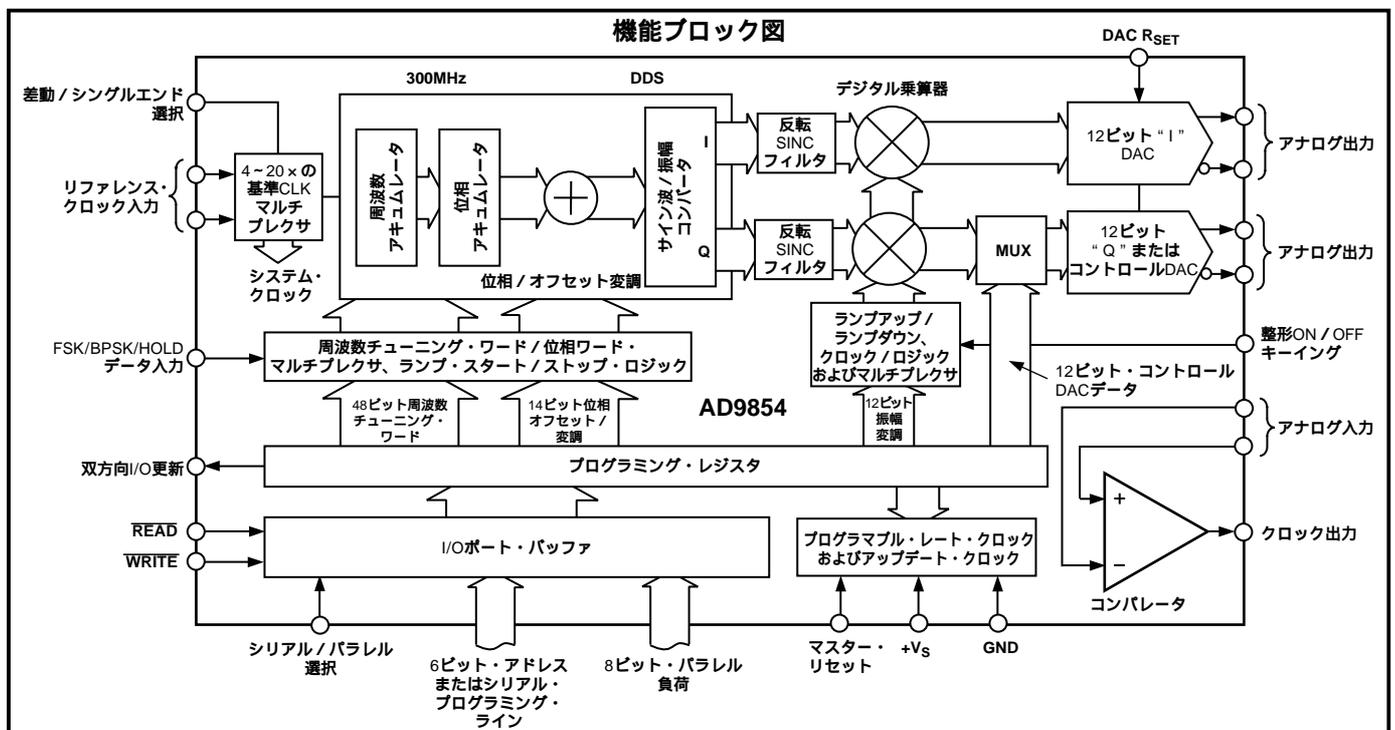
アプリケーション

- 位相追従型直交局部発振用周波数シンセサイザ
- プログラマブルなクロック・ジェネレータ
- レーダー/スキャン・システム向けのFM掃引信号源
- 試験装置、計測機器
- 業務/アマチュア用RFエキサイタ

概要

デジタル・シンセサイザAD9854は、最新のDDS技術を高速の内蔵高性能D/Aコンバータ2個とコンパレータ1個を組み合わせ、デジタル的にプログラム可能なI/Qシンセサイザ機能を構成した高集積度のデバイスです。AD9854は、正確なクロック信号源を基準とした場合、通信やレーダーなどの多くのアプリケーションで位相追従型の局部発振器として使用できる、極めて安定した、周波数/位相/振幅がプログラマブルなサイン波/コサイン波出力を発生します。

AD9854の革新的な高速DDSコアは、48ビットの周波数分解能(1μHzのチューニング・ステップ)を提供します。17ビットへの位相の丸め込み処理により優れたSFDRを保証しています。(14ページに続く)



アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD9854—仕様

(特に指定のない限り、 $V_S = 3.3V \pm 5\%$ 、 $R_{SET} = 3.9k$ 、AD9854ASQの外部リファレンス・クロック周波数 = 30MHz (10×でREFCLK乗算器をイネーブル)、AD9854ASTの外部リファレンス・クロック周波数 = 20MHz (10×でREFCLK乗算器をイネーブル))

パラメータ	温度	テスト・レベル	AD9854ASQ			AD9854AST			単位
			Min	Typ	Max	Min	Typ	Max	
リファレンス・クロック入力特性 ¹									
内部クロック周波数範囲	全域	VI	5		300	5		200	MHz
外部リファレンス・クロック周波数範囲									
REFCLK乗算器をイネーブル	全域	VI	5		75	5		50	MHz
REFCLK乗算器をディスエーブル	全域	VI	5		300	5		200	MHz
デューティ・サイクル	25	IV	45	50	55	45	50	55	%
入力容量	25	IV		3			3		pF
入力インピーダンス	25	IV		100			100		k
差動モード/コモン・モード電圧範囲									
最小信号振幅	25	IV	800			800			mV p-p
コモン・モード範囲	25	IV	1.6	1.75	1.9	1.6	1.75	1.9	V
V_{IH} (シングルエンド・モード)	25	IV	2.3			2.3			V
V_{IL} (シングルエンド・モード)	25	IV			1			1	V
DACスタティック出力特性									
出力更新速度	全域	I			300			200	MSPS
分解能	25	IV		12			12		ビット
I/Qのフルスケール出力電流	25	IV	5	10	20	5	10	20	mA
I DAC、Q DACのDCゲイン・インバランス ²	25	I	-0.5	+0.15	+0.5	-0.5	+0.15	+0.5	dB
ゲイン誤差	25	I	-6		+2.25	-6		+2.25	%FS
出力オフセット	25	I			2			2	μ A
微分非直線性	25	I		0.3	1.25		0.3	1.25	LSB
積分非直線性	25	I		0.6	1.66		0.6	1.66	LSB
出力インピーダンス	25	IV		100			100		k
電圧適合範囲	25	I	-0.5		+1.0	-0.5		+1.0	V
DACダイナミック出力特性									
I DAC、Q DACの直交位相誤差	25	IV		0.2	1		0.2	1	度
DAC広帯域SFDR									
1~20MHz A_{OUT}	25	V		58			58		dBc
20~40MHz A_{OUT}	25	V		56			56		dBc
40~60MHz A_{OUT}	25	V		52			52		dBc
60~80MHz A_{OUT}	25	V		48			48		dBc
80~100MHz A_{OUT}	25	V		48			48		dBc
100~120MHz A_{OUT}	25	V		48					dBc
DAC狭帯域SFDR									
10MHz A_{OUT} (± 1 MHz)	25	V		83			83		dBc
10MHz A_{OUT} (± 250 kHz)	25	V		83			83		dBc
10MHz A_{OUT} (± 50 kHz)	25	V		91			91		dBc
41MHz A_{OUT} (± 1 MHz)	25	V		82			82		dBc
41MHz A_{OUT} (± 250 kHz)	25	V		84			84		dBc
41MHz A_{OUT} (± 50 kHz)	25	V		89			89		dBc
119MHz A_{OUT} (± 1 MHz)	25	V		71					dBc
119MHz A_{OUT} (± 250 kHz)	25	V		77					dBc
119MHz A_{OUT} (± 50 kHz)	25	V		83					dBc
残留位相ノイズ									
($A_{OUT} = 5$ MHz、Ext. CLK = 30MHz、REFCLK乗算器:10×)									
1kHzオフセット	25	V		140			140		dBc/Hz
10kHzオフセット	25	V		138			138		dBc/Hz
100kHzオフセット	25	V		142			142		dBc/Hz
($A_{OUT} = 5$ MHz、Ext. CLK = 300MHz、REFCLK乗算器:バイパス)									
1kHzオフセット	25	V		142			142		dBc/Hz
10kHzオフセット	25	V		148			148		dBc/Hz
100kHzオフセット	25	V		152			152		dBc/Hz
パイプライン遅延									
位相アキュムレータおよびDDSコア	25	IV		17			17		SysClkサイクル
反転SINCフィルタ	25	IV		12			12		SysClkサイクル
デジタル乗算器	25	IV		10			10		SysClkサイクル

パラメータ	温度	テスト・レベル	AD9854ASQ			AD9854AST			単位	
			Min	Typ	Max	Min	Typ	Max		
マスター・リセット継続時間	25	IV	10			10			SysClkサイクル	
コンパレータ入力特性										
入力容量	25	V	3			3			pF	
入力抵抗	25	IV	500			500			k	
入力電流	25	I	±1		±5	±1		±5	μA	
ヒステリシス	25	IV	10		20	10		20	mVp-p	
コンパレータ出力特性										
ロジック 1 電圧、高Z負荷	全域	VI	3.1			3.1			V	
ロジック 0 電圧、高Z負荷	全域	VI				0.16			V	
出力電力、50 負荷、120MHzトグルレート	25	I	9		11	9		11	dBm	
伝搬遅延	25	IV	3			3			ns	
出力デューティ・サイクル誤差 ³	25	I	-10		±1	+10	-10		±1	%
立ち上がり/立ち下がり時間、5pF負荷	25	V	2			2			ns	
トグルレート、高インピーダンス負荷	25	IV	300		350	300		350	MHz	
トグルレート、50 負荷	25	IV	375		400	375		400	MHz	
出力サイクル間シッター ⁴	25	IV				4.0			ps rms	
コンパレータ狭帯域SFDR ⁴										
10MHz (±1MHz)	25	V	84			84			dBc	
10MHz (±250kHz)	25	V	84			84			dBc	
10MHz (±50kHz)	25	V	92			92			dBc	
41MHz (±1MHz)	25	V	76			76			dBc	
41MHz (±250kHz)	25	V	82			82			dBc	
41MHz (±50kHz)	25	V	89			89			dBc	
119MHz (±1MHz)	25	V	73			73			dBc	
119MHz (±250kHz)	25	V	73			73			dBc	
119MHz (±50kHz)	25	V	83			83			dBc	
クロック・ジェネレータ出力ジッター ⁵										
5MHz A _{OUT}	25	V	23			23			ps rms	
40MHz A _{OUT}	25	V	12			12			ps rms	
100MHz A _{OUT}	25	V	7			7			ps rms	
パラレルI/Oタイミング特性										
T _{ASU} (WR信号アクティブまでのアドレス・セットアップ時間)	全域	IV	8.2		7.8	8.2		7.8	ns	
T _{ADHW} (WR信号インアクティブまでのアドレス・ホールド時間)	全域	IV	0			0			ns	
T _{DSU} (WR信号インアクティブまでのデータ・セットアップ時間)	全域	IV	2.1		1.6	2.1		1.6	ns	
T _{DHD} (WR信号インアクティブまでのデータ・ホールド時間)	全域	IV	0			0			ns	
T _{WRLOW} (WR信号最小ロー時間)	全域	IV	2.2		1.8	2.2		1.8	ns	
T _{WRHIGH} (WR信号最小ハイ時間)	全域	IV	7			7			ns	
T _{WR} (WR信号最小周期)	全域	IV	10			10			ns	
T _{ADV} (アドレスからデータまでの有効時間)	全域	V	15		15	15		15	ns	
T _{ADHR} (RD信号インアクティブまでのアドレス・ホールド時間)	全域	IV	5			5			ns	
T _{RDLOV} (RDローから出力有効まで)	全域	IV			15			15	ns	
T _{RDHOZ} (RDハイからデータ・スリー・ステートまで)	全域	IV			10			10	ns	
シリアルI/Oタイミング特性										
T _{PRE} (CSセットアップ時間)	全域	IV	30			30			ns	
T _{SCLK} (シリアルデータ・クロックの周期)	全域	IV	100			100			ns	
T _{DSU} (シリアルデータ・セットアップ時間)	全域	IV	30			30			ns	
T _{SCLKPWH} (シリアルデータ・クロック・パルス幅ハイ)	全域	IV	40			40			ns	
T _{SCLKPWL} (シリアルデータ・クロック・パルス幅ロー)	全域	IV	40			40			ns	
T _{DHLD} (シリアルデータ・ホールド時間)	全域	IV	0			0			ns	
T _{DV} (データ有効時間)	全域	V			30			30	ns	
CMOSロジック入力										
ロジック 1 電圧	25	I	2.7			2.7			V	
ロジック 0 電圧	25	I				0.4			V	
ロジック 1 電流	25	IV			±5			±12	μA	
ロジック 0 電流	25	IV			±5			±12	μA	
入力容量	25	V	3			3			pF	

AD9854—仕様

パラメータ	温度	テスト・レベル	AD9854ASQ			AD9854AST			単位
			Min	Typ	Max	Min	Typ	Max	
電源 ⁶									
+V _S 電流 ⁷	25	I	1050	1210		755	865		mA
+V _S 電流 ⁸	25	I	710	816		515	585		mA
+V _S 電流 ⁹	25	I	600	685		435	495		mA
P _{DISS} ⁷	25	I	3.475	4.190		2.490	3.000		W
P _{DISS} ⁸	25	I	2.345	2.825		1.700	2.025		W
P _{DISS} ⁹	25	I	1.975	2.375		1.435	1.715		W
P _{DISS} パワーダウン・モード	25	I	1	50		1	50		mW

注

- リファレンス・クロック入力、V_{DD}電圧の1/2を中心とする1Vp-p (最小) DCオフセット・サイン波、または3V TTLレベルのパルスを入力するように設定。
- IおよびQゲインのインバランスは、デジタル的に0.01dB未満に調整済み。
- 1Vp-pサイン波入力および0.5Vスレシヨルドの場合における1MHzから100MHzへのデューティ・サイクルの変化
- コンパレータ固有のサイクル間ジッターの寄与分。入力信号は1Vの40MHz方形波。計測デバイスはWavecrest DTS-2075。
- コンパレータ入力に外付けの7極楕円関数LPFを経由してアナログ出力部から発生。シングルエンド入力で0.5Vp-p。コンパレータ出力は50Ωで終端。
- 80ピンLQFPの場合は、最大周辺温度85℃、最大内部クロック周波数200MHzで同時動作させた場合、または温度拡張型80ピンLQFPの場合では300MHzで同時動作させた場合、最大ダイ接合温度150℃を超える可能性があります。詳細については、デレーティングおよび温度管理のための消費電力と熱的な考慮事項の項を参照してください。
- 全機能動作中。
- 反転sinc以外の全機能動作中。
- 反転sincとデジタル乗算器以外の全機能動作中。

仕様は予告なく変更されることがあります。

テスト・レベルの解説

テスト・レベル

- I - 100%出荷テストを実施。
- III - サンプル・テストのみを実施。
- IV - 設計と特性テストによりパラメータを保証。
- V - パラメータはTyp値のみ。
- VI - +25℃で100%出荷テストを実施。工業用動作温度範囲については、設計と特性テストにより保証。

絶対最大定格*

最大接合温度	150
V _S	4V
デジタル入力	-0.7V ~ +V _S
デジタル出力電流	5mA
保管温度	-65 ~ +150
動作温度	-40 ~ +85
ピン温度 (ハンダ処理、10秒)	300
最大クロック周波数	300MHz

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この定格はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長期間絶対最大定格条件に置くと、デバイスの信頼度に影響を与えることがあります。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9854ASQ	-40 ~ +85	熱効率改善型80ピンLQFP	SQ-80
AD9854AST	-40 ~ +85	80ピンLQFP	ST-80
AD9854/PCB	0 ~ 70	評価ボード	

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



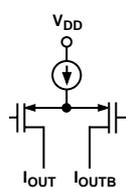
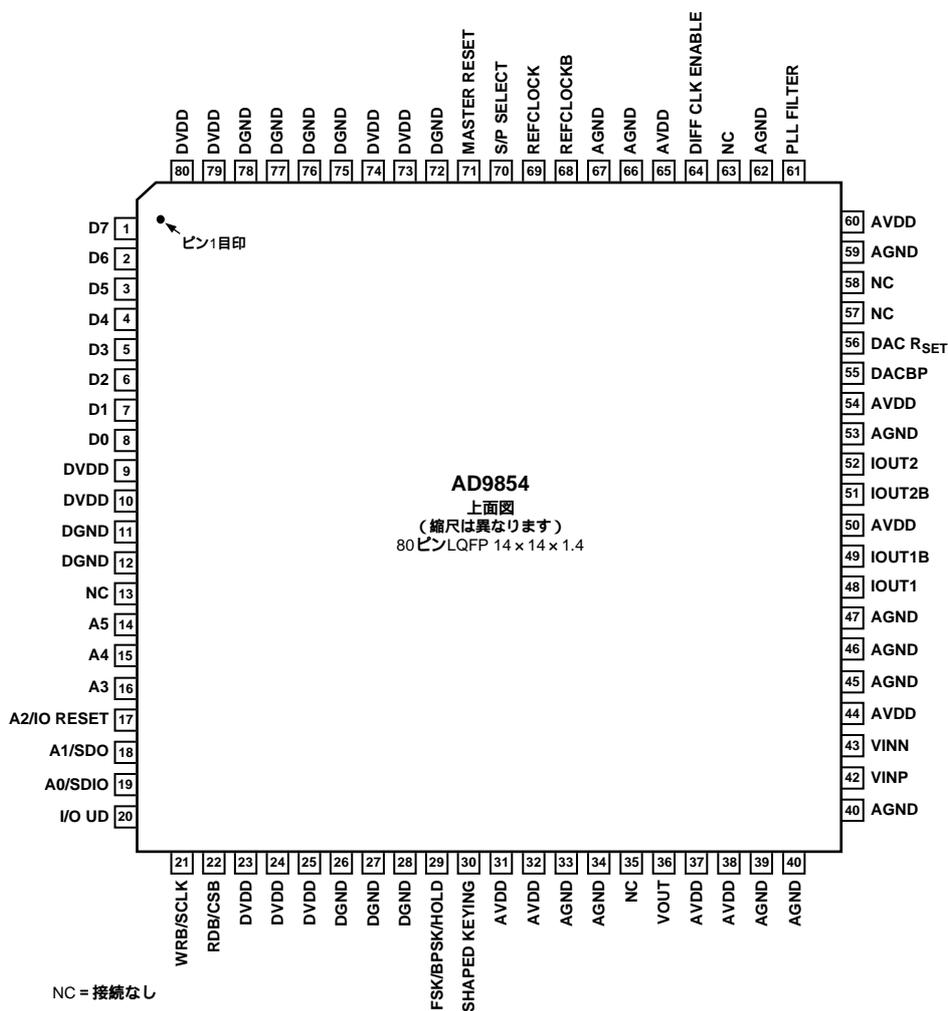
ピン機能説明

ピン番号	ピン名	機能
1~8	D7~D0	8ビットの双方向パラレル・プログラミング・データ入力。パラレル・プログラミング・モードでのみ使用。
9、10、23、74、 24、25、73、 74、79、80	DVDD	デジタル回路の電源電圧。AGNDとDGNDを公称+3.3V上回る。
11、12、26、 27、28、72、 75、76、77、 78	DGND	デジタル回路のグラウンド・リターン。AGNDと同電位。
13、35、57、 58、63	NC	内部接続なし。
14~19	A5~A0	プログラム・レジスタに対する6ビット・パラレル・アドレス入力。パラレル・プログラミング・モードでのみ使用。シリアル・プログラミング・モードを選択した場合、A0、A1、A2は2つ目の機能を持ちます(下記参照)。
(17)	A2/IO RESET	プログラミング・プロトコルの誤りのために応答しないシリアル通信バスをリセットします。この方法でシリアル・バスをリセットしても直前のプログラミングには影響がなく、表VIに示すデフォルトのプログラミング値が起動されません。アクティブ・ハイ。
(18)	A1/SDO	3線式シリアル通信モードで使用する単方向シリアル・データ出力。
(19)	A0/SDIO	2線式シリアル通信モードで使用する双方向シリアル・データ入 / 出力。
20	I/O UD	双方向周波数アップデート信号。入 / 出力方向はコントロール・レジスタにより選択。入力として選択されると、立ち上がりエッジにより、プログラミング・レジスタの内容がIC内部に転送されて処理されます。出力として選択されると、システム・クロック・サイクルで8周期幅の出力パルス(ローからハイ)により、内部周波数アップデートが行われたことを表示します。
21	WRB/SCLK	パラレル・データのプログラミング・レジスタへの書き込み。SCLKと機能を共用。シリアル・プログラミング・バスに対応するシリアル・クロック信号。データは立ち上がりエッジで保持。パラレル・モードが選択された場合、このピンはWRBと機能を共用します。
22	PDB/CSB	プログラミング・レジスタからのパラレル・データの読み出し。CSBと機能を共用。シリアル・プログラミング・バスに対応するチップ・セレクト信号。アクティブ・ロー。パラレル・モードが選択された場合、RDBと機能を共用します。
29	FSK/BPSK/ HOLD	プログラミング・コントロール・レジスタで選択された動作モードによって機能が変化します。FSKモードの場合、ロジック・ローでF1を、ロジック・ハイでF2をそれぞれ選択。BPSKモードの場合、ロジック・ローで位相1を、ロジック・ハイで位相2をそれぞれ選択。掃引モードの場合、ロジック・ハイでHOLD機能が起動して、周波数アキュムレータをその位置に保持します。ロジック・ローにすると、掃引を再開 / 開始します。
30	SHAPED KEYING	機能させるためには、プログラミング・コントロール・レジスタで最初に選択しておく必要があります。ロジック・ハイに設定すると、IDACおよびQ DACの出力がゼロスケールからフルスケール振幅に、あらかじめプログラムされたレートで増加します。ロジック・ローに設定すると、フルスケール出力からゼロスケールに、あらかじめプログラムされたレートで減少します。
31、32、37、 38、44、50、 54、60、65	AVDD	アナログ回路の電源電圧。AGNDとDGNDを公称+3.3V上回る。
33、34、39、 40、41、45、 46、47、53、 59、62、66、 67	AGND	アナログ回路のグラウンド・リターン。DGNDと同電位。
36	VOUT	内部高速コンパレータの非反転出力ピン。標準CMOSロジック・レベルおよび50 負荷で10dBmの駆動が可能。
42	VINP	電圧正入力。内部高速コンパレータの非反転入力。
43	VINN	電圧負入力。内部高速コンパレータの反転入力。
48	IOUT1	I DACまたはコサインDACのユニポーラ電流出力。
49	IOUT1B	I DACまたはコサインDACの相補ユニポーラ電流出力。
51	IOUT2B	Q DACまたはサインDACの相補ユニポーラ電流出力。
52	IOUT2	Q DACまたはサインDACのユニポーラ電流出力。このDACは、内部サイン・データの代わりに外部12ビット・データを入力するようにプログラムできます。この機能を使うと、AD9854がAD9852のDAC制御機能をエミュレートできます。

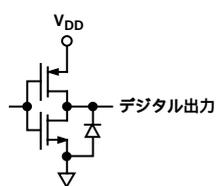
AD9854

ピン番号	ピン名	機能
55	DACBP	IDACおよびQ DAC用の共通バイパス・コンデンサ接続。このピンとAVDDの間に0.01 μ Fのチップ・コンデンサを接続すると、高調波歪みとSFDRを少し改善できます。開放のままにしておくこともできます(SFDRが少し低下します)。
56	DAC R _{SET}	I DACおよびQ DACに対するフルスケール出力電流を設定する共通の接続。R _{SET} = 39.9/IOUT。通常のRSET範囲は8k (5mA)~2k (20mA)です。
61	PLL FILTER	REFCLK乗算器のPLLループ・フィルタに対する外部ゼロ補償ネットワークを接続します。ゼロ補償ネットワークは0.01 μ Fのコンデンサと1.3k の抵抗を直列に接続して構成します。このネットワークの反対側の端は、ピン60にできるだけ近いAVDDに接続する必要があります。最適な位相ノイズ性能を得るために、コントロール・レジスタ1E内の“ Bypass PLL ”ビットをセットしてREFCLK乗算器をバイパスすることができます。
64	DIFF CLK ENABLE	差動REFCLKのイネーブル。このピンをハイ・レベルにすると、差動クロック入力REFCLKとREFCLKB(それぞれピン69とピン68)がイネーブルされます。所要最小差動信号振幅は800mVp-pです。1.6~1.9Vの差動信号範囲の中心ポイントまたはコモン・モード範囲になります。
68	REFCLKB	相補差動クロック信号(位相差180度)。シングルエンド・クロック・モードを選択する場合は、このピンをハイまたはローに接続する必要があります。REFCLKと同じ信号レベル。
69	REFCLK	シングルエンド・リファレンス・クロック入力、または2つの差動クロック信号の内の1つ。通常の3.3V CMOSロジック・レベル、または1.6Vを中心とする1Vp-pのサイン波。
70	S/P SELECT	シリアル・プログラミング・モード(ロジック・ロー)またはパラレル・プログラミング・モード(ロジック・ハイ)を選択。
71	MASTER RESET	ユーザー・プログラミングのためにシリアル / パラレル・プログラミング・バスを初期化します。すなわち、プログラミング RESETレジスタを表Vに示すデフォルト値に定義する“ do-nothing ”状態に設定します。ロジック・ハイでアクティブ。パワーアップ直後の正常動作のためには、MASTER RESETのアサートが不可欠です。

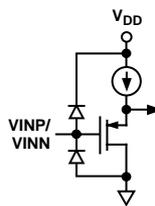
ピン配置



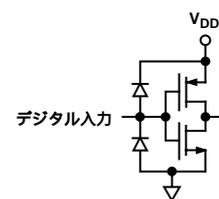
a. DAC出力



b. コンパレータ出力



c. コンパレータ入力



d. デジタル入力

図1 等価入力回路と出力回路

AD9854

図2～図7は、19.1～119.1MHzの基本波出力、リファレンス・クロック = 30MHz、REFCLK乗算器 = 10に対するAD9854の広帯域高調波歪み性能を示します。各グラフは0～150MHzに対応します。

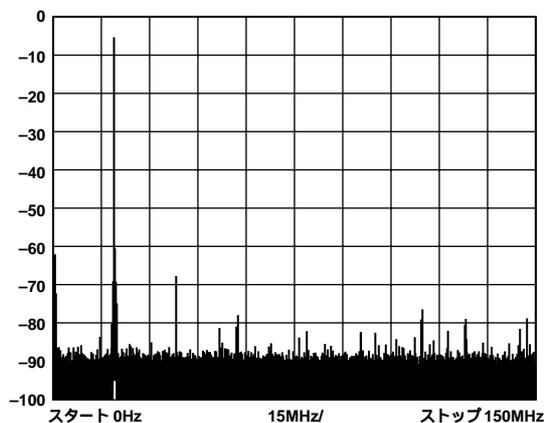


図2 広帯域SFDR、19.1MHz

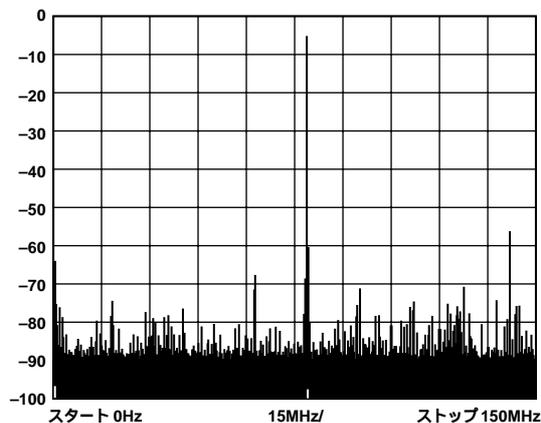


図5 広帯域SFDR、79.1MHz

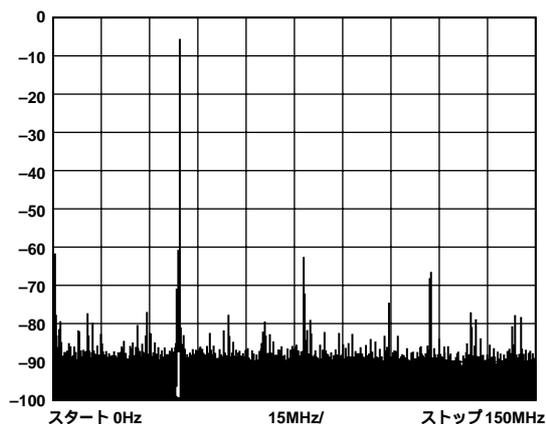


図3 広帯域SFDR、39.1MHz

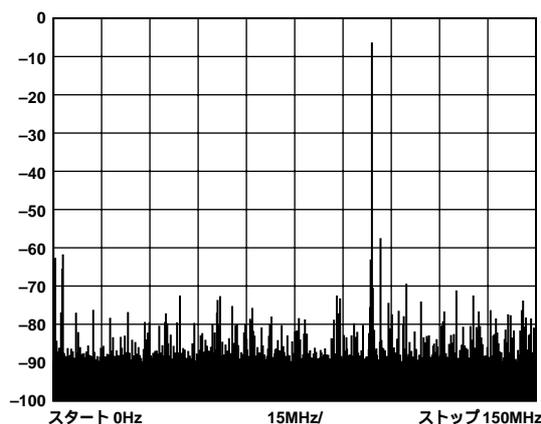


図6 広帯域SFDR、99.1MHz

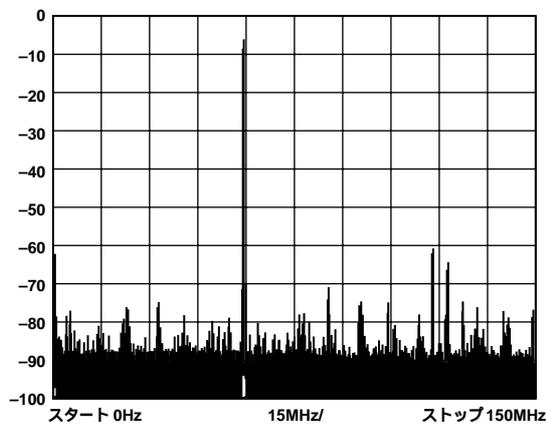


図4 広帯域SFDR、59.1MHz

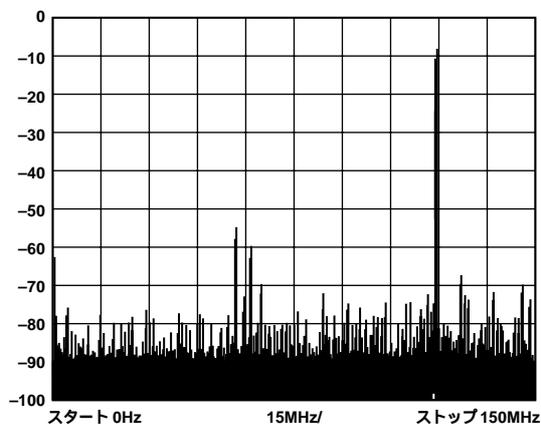


図7 広帯域SFDR、119.1MHz

図8～図11は、ノイズ・フロアの上昇、位相ノイズ増加、時々発生する内部REFCLK乗算器回路動作時のディスクリート・スプリアス・エネルギーの間のトレードオフを示します。広帯域（1MHz）スパンと狭帯域（50kHz）スパンのグラフを示します。

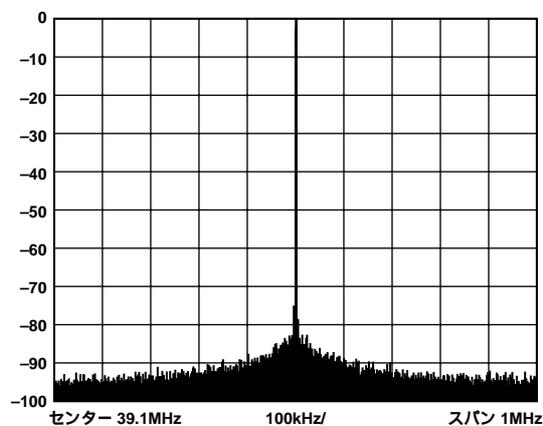


図8 狭帯域SFDR、39.1MHz、帯域幅1MHz、REFCLK乗算器バイパスでEXTCLK = 300MHz

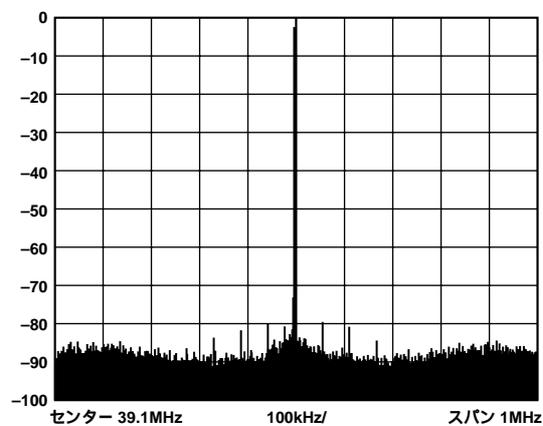


図10 狭帯域SFDR、39.1MHz、帯域幅1MHz、REFCLK乗算器 = 10 × でEXTCLK = 30MHz

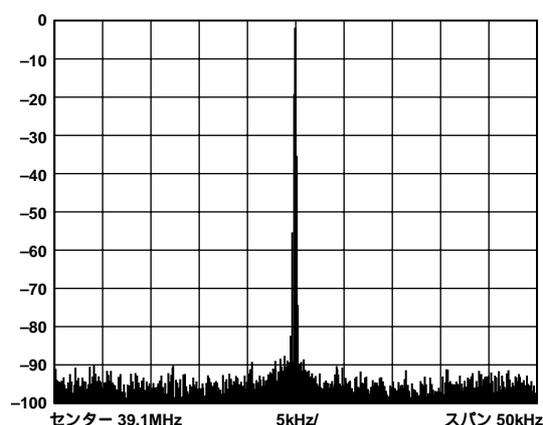


図9 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器バイパスでEXTCLK = 300MHz

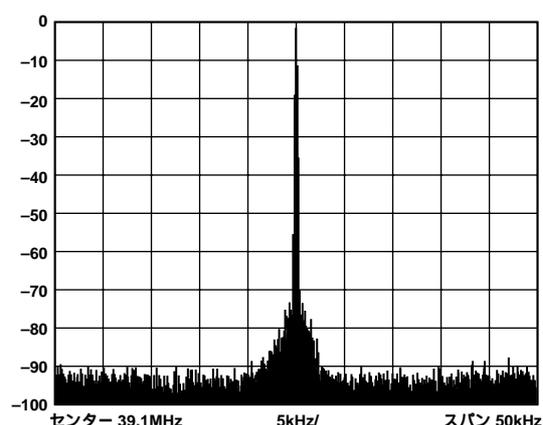


図11 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器 = 10 × でのEXTCLK = 30MHz

図12と図13は、低いクロック速度を使用して同じ基本周波数を発生する際の、PLL使用 / 不使用でのノイズ・フロアの小さい上昇を示します。図10は100MHzクロック、図12は300MHzクロックの場合です。

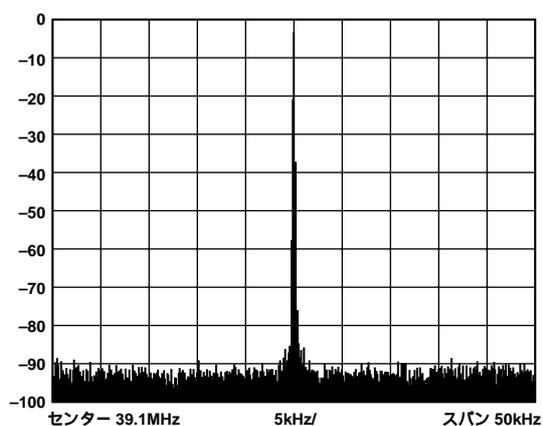


図12 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器バイパスでEXTCLK = 100MHz

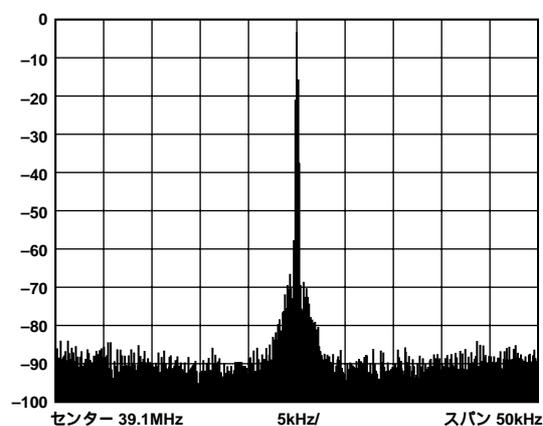


図13 狭帯域SFDR、39.1MHz、50kHz帯域幅、REFCLK乗算器 = 10 × でのEXTCLK = 10MHz

AD9854

図14と図15は、DDSチューニング範囲内の“スイート・スポット (sweet spots)”を使用した効果を示します。図14に、DDSアルゴリズムの丸め込み処理によって発生する散乱を強調するチューニング・ワードを示します。図15は、もともと同じ出力周波数 (チューニング・コードは少し大) ですが、チューニングのスイート・スポットの選択により出力の乱れが少なくなっていることを示しています。スイート・スポット・チューニングの利点を利用するように、すべてのDDSアプリケーションを考慮する必要があります。

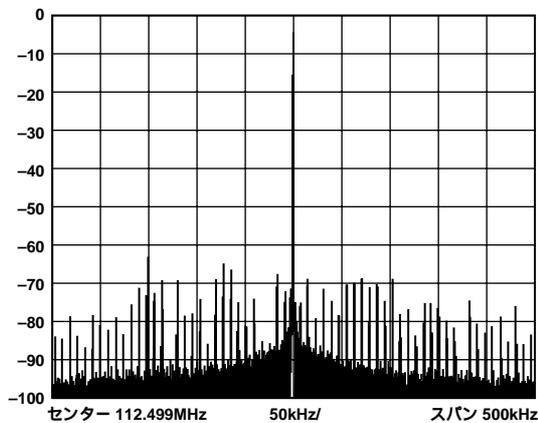


図14 “スイート・スポット”を使用しない場合。基本波の近辺に多くの高エネルギー・サブリアスを持つ112.469MHz

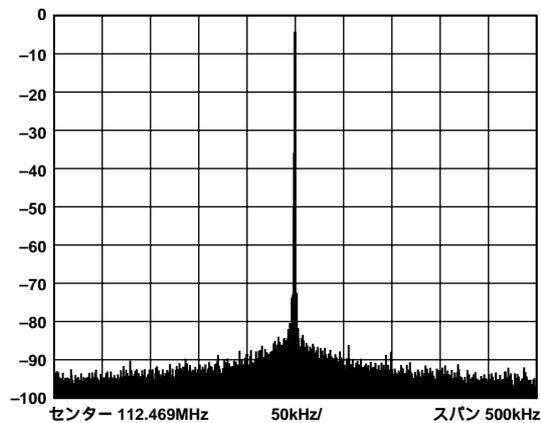


図15 チューニング・ワードを少し変えると、結果が大幅に改善されます。全サブリアスが帯域外に移動した112.499MHz

図16と図17に、REFCLK乗算器を10×でイネーブルし、20MHzリファレンス・クロックで動作した場合と、200MHz外部リファレンス・クロックで動作した場合のAD9854の狭帯域性能を示します。

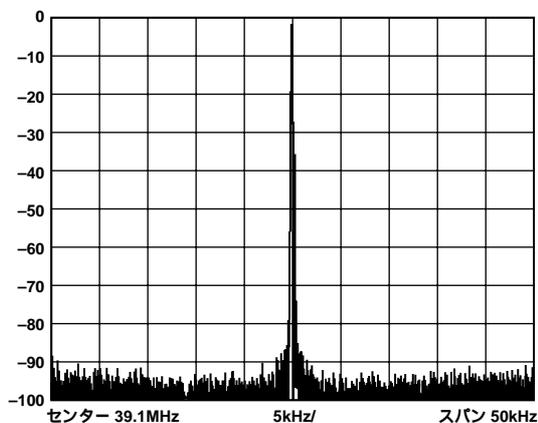


図16 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器バイパスでのEXTCLK = 200MHz

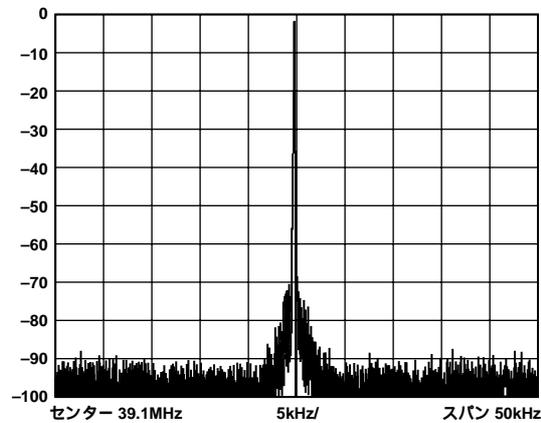
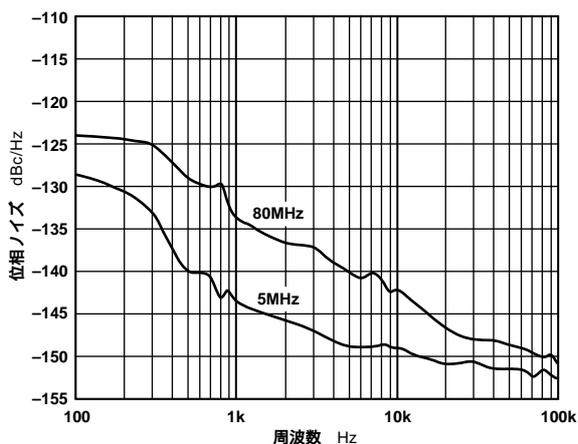
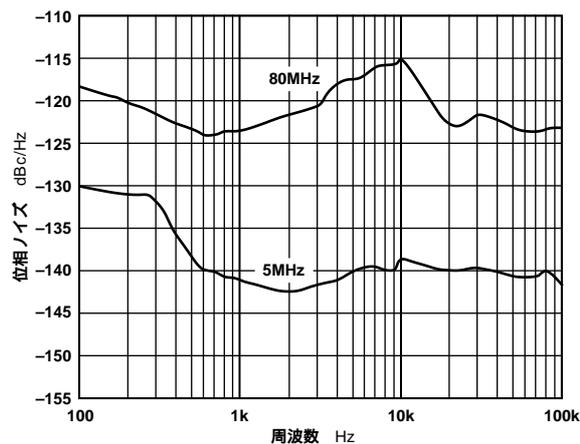


図17 狭帯域SFDR、39.1MHz、帯域幅50kHz、REFCLK乗算器 = 10×でのEXTCLK = 10MHz



a. 残留位相ノイズ、300MHz直接クロック駆動



b. 残留位相ノイズ、300MHz (10×でREFCLK乗算器をイネーブ)

図18 残留位相ノイズ (5.2MHz AOUT)、REFCLK乗算器をディスエーブル、EXTCLK = 300MHz

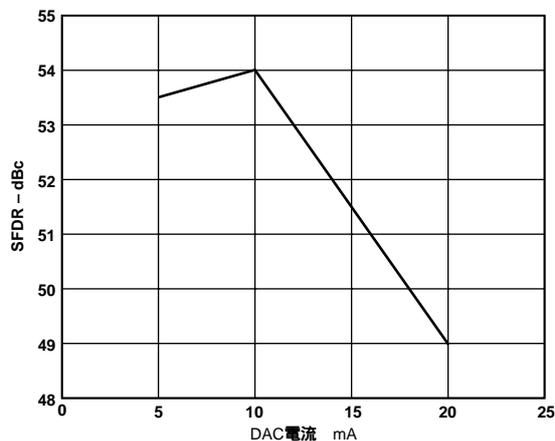


図19 SFDRとDAC電流の関係、59.1A_{OUT}、EXTCLK = 300MHz

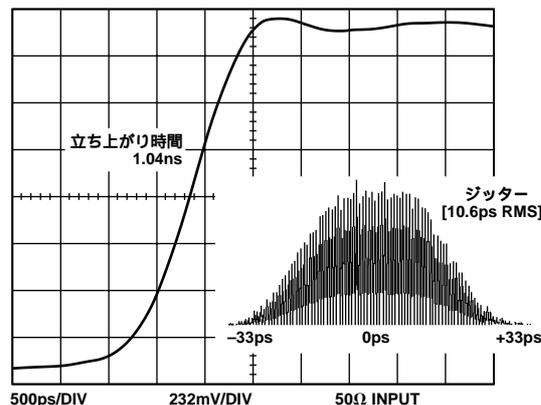


図21 コンパレータ出力ジッターのTyp値 (40MHz A_{OUT}、REFCLK乗算器ディスエーブル、EXTCLK = 300MHz)

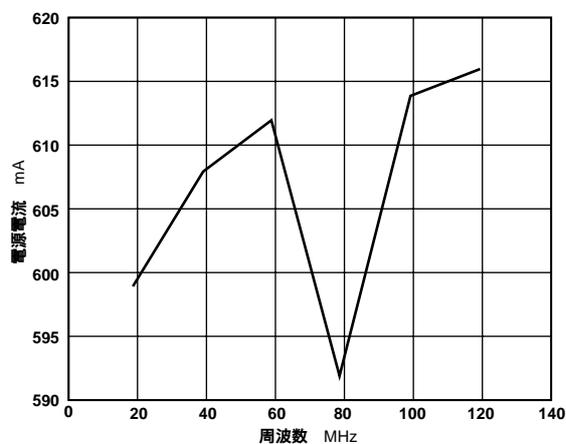


図20 電源電流 対 出力周波数(チューニング・ワードに対する%値と強い依存性のために変動は最小)

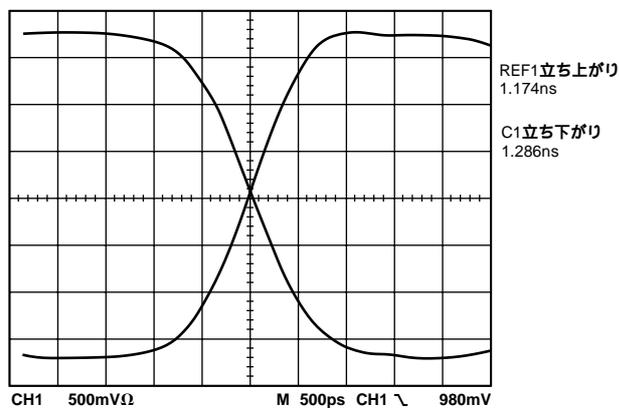


図22 コンパレータの立ち上がり/立ち下がり時間

AD9854

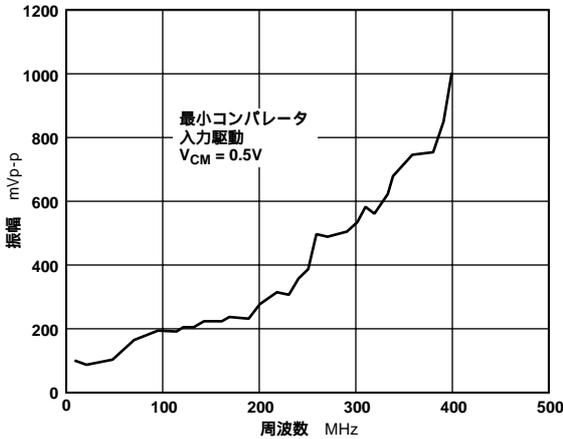


図23 コンパレータ・トグル電圧条件

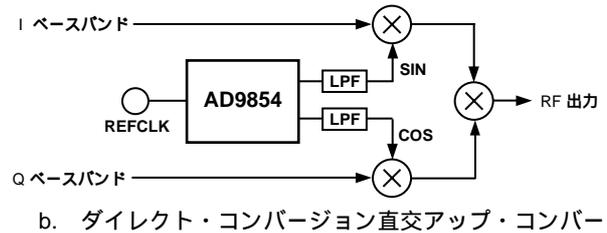
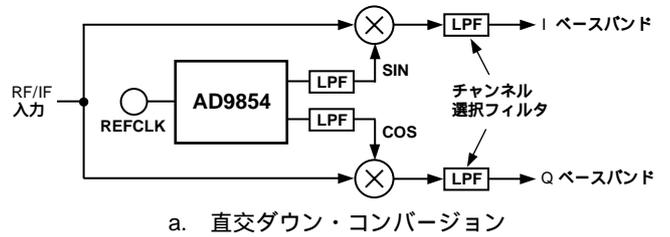


図24 AD9854のダイレクト直交アップ/ダウン・コンバージョン・アプリケーション

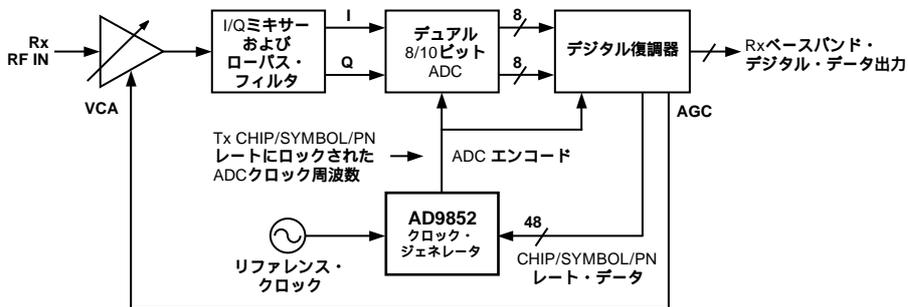


図25 拡散スペクトル・アプリケーションにおけるチップ・レート・ジェネレータ

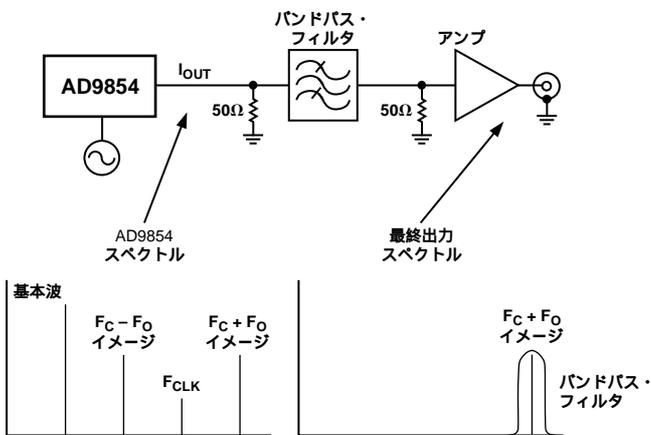


図26 エイリアス・イメージを使用する高周波の発生

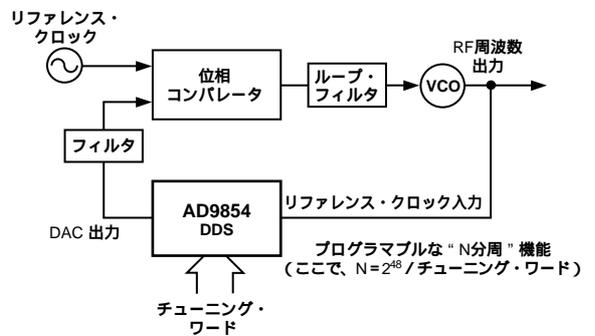


図27 プログラマブルなN分周シンセサイザ

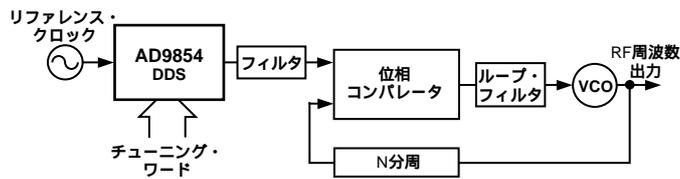


図28a 位相追従型高周波シンセサイザ

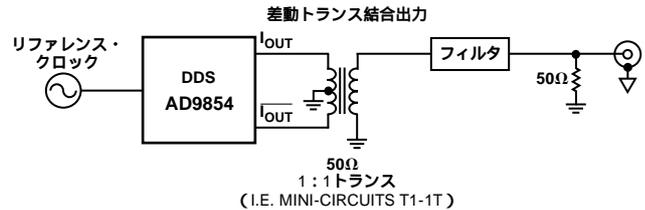
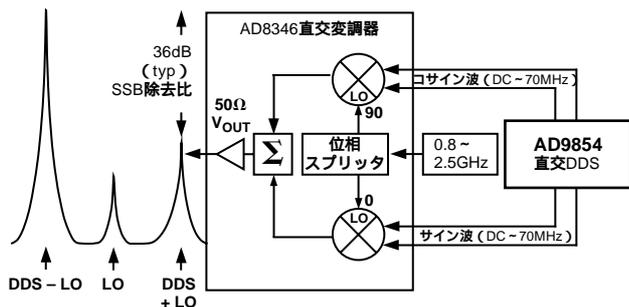
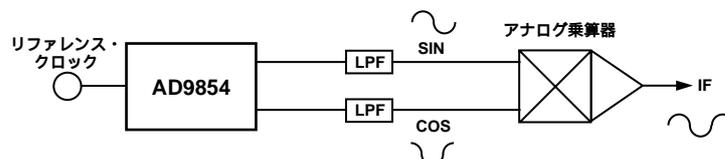


図29 コモン・モード信号を除去する差動出力接続

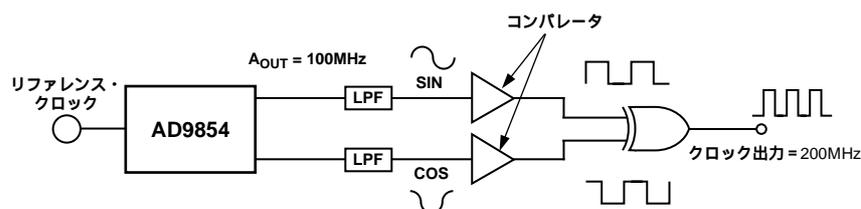


注：
 DDS直交信号をフリップして別のサイドバンドを選択します。
 サイドバンドを最も良く抑圧できるように、DDSサイン波信号
 またはDDSコサイン波信号の振幅を調節します。
 DDS DAC出力は、AD8346で使用する前にローパス・フィルタを
 通過させる必要があります。

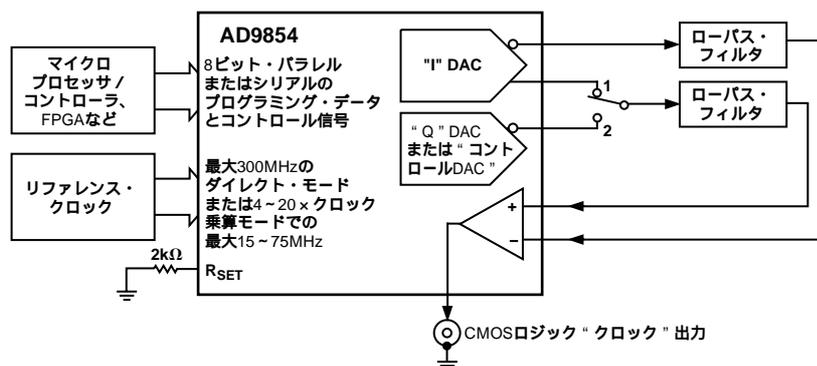
図28b イメージ除去ミキサ



アナログ周波数ダブラー・アプリケーション



クロック周波数ダブラー



注：
 $R_{SET} = 2k$ のとき、 $I_{OUT} = \text{約}20\text{mA max}$

スイッチ位置1では、相補サイン波信号を
 コンパレータに入力して、コンパレータから
 固定50%のデューティ・サイクルを発生させます。

スイッチ位置2では、“Q” DACの構成に応じて、
 直交サイン波信号をコンパレータに入力して、あるいは
 コンパレータのデューティ・サイクル設定を可能にする
 DCスレショルド電圧を使って、同じデューティ・サイクルを
 発生させます。

図30 AD9854の周波数追従型クロック・ジェネレータ・アプリケーション

AD9854

(1ページから続く)

AD9854の回路アーキテクチャは、最大1億回 / 秒の頻度で新しい周波数をデジタル調整可能な、最大150MHzまでの互いに直交する2つの周波数出力を同時に発生できます。サイン波出力(外部フィルタ処理済み)を内部コンパレータを使って方形波に変換して、位相追従型のクロック・ジェネレータ・アプリケーションに使用できます。AD9854は、14ビットのデジタル制御可能な位相変調機能、シングル・ピンPSK機能を提供します。革新的なDDSアーキテクチャと組み合わせた内蔵12ビットI DACおよびQ DACは、優れた広帯域 / 狭帯域出力SFDRを提供します。この直交機能を使用しない場合には、Q DACをユーザー・プログラマブルなコントロール用DACとしても使用できます。12ビット・コントロール用DACは、内蔵コンパレータと組み合わせた場合、高速クロック・ジェネレータ・アプリケーションでデューティ・サイクルをスタティックに制御できます。

2系統の12ビット・デジタル乗算器によって、プログラマブルな振幅変調、整形ON/OFFキーイング直交出力の精密な振幅制御が可能になります。周波数掃引機能も内蔵しており、広帯域幅の周波数掃引アプリケーションも実現します。AD9854のプログラマブルな4 ~ 20xのREFCLK乗算回路は、外部入力された低周波数のリファレンス・クロックをもとに300MHzのクロックを内部発生します。この機能により、300MHzのクロック信号源を組み込むためのコストと手間が不要になります。シングル・エンド入力または差動入力による300MHzのクロック直接駆動機能もサポートしています。また、シングル・ピンによる従来型FSKと、スペクトル品質を強化した“ランプ型FSK”の両方をサポートしています。AD9854は、最新の0.35ミクロンCMOS製造技術を使用して、単電源3.3V動作で高レベルの機能を提供します。

AD9854は、省スペース80ピンLQFP表面実装パッケージと、熱効率拡張型80ピンLQFPパッケージを採用しています。また、シングル・トーン・シンセサイザAD9852とピン・コンパチブルです。使用温度範囲は、拡張工業用 - 40 ~ + 85 です。

概要

直交出力デジタル・シンセサイザAD9854は、広範なアプリケーションに対応できる高い柔軟性を備えています。48ビット位相アキュムレータ付きNCO、プログラマブルなリファレンス・クロック乗算器、反転SINCフィルタ、デジタル乗算器、2個の12ビット300MHz DAC、高速アナログ・コンパレータ、インターフェース・ロジックで構成されています。高度に集積されており、シンセサイザ型局部発振器、位相追従型クロック・ジェネレータ、FSK/BPSK変調器として使用できます。AD9854の機能ブロックの動作原理とDDS内部での信号フローの説明は、当社のチュートリアル『A Technical Tutorial on Digital Signal Synthesis』に記載しております。このチュートリアルはCD-ROMで提供しており、入手方法については当社のDDSに関するウェブサイトwww.analog.com/ddsをご覧ください。このチュートリアルには、あらゆるデジタル信号合成の実例に関する基本アプリケーション情報も記載されています。本データシートでは、DDSの基本的な内容については説明せず、AD9854の機能と個々の特長について説明しています。

AD9854の使用方法

内部および外部のアップデート・クロック

この機能は、1本の双方向I/Oピン(ピン20)と、プログラマブルな32ビット・ダウン・カウンタで構成されています。I/Oバッファ・レジスタからDDSのアクティブ・コアに転送する変更内容をプログラムするためには、ピン20にクロック信号(ローからハイへの変化)を外部から入力するか、あるいは32ビット・アップデートクロックを内部で発生させる必要があります。

外部で発生させたアップデート・クロックは、データのセットアップ・タイムまたはホールド・タイムを満たせないことによるプログラム・レジスタ情報の不完全な転送が生じないように、内部でシステム・クロックに同期されています。このモードでは、更新されたプログラム情報が有効になるタイミングを、ユ

ーザーが完全に制御できます。デフォルト・モードでは、内部アップデート・クロックが設定されています(Int Update Clkコントロール・レジスタ・ビットがロジック・ハイ)。外部アップデート・クロック・モードに切り替えるときは、Int Update Clkレジスタ・ビットをロジック・ローに設定します。内部アップデート・モードでは、ユーザーが設定した周期の自動周期アップデート・パルスが発生されます。

内部発生 of アップデート・クロックは、32ビット of アップデート・クロック・レジスタ(アドレス16 ~ 19hex)を設定し、さらにInt Update Clk(アドレス1F hex)コントロール・レジスタ・ビットをロジック・ハイに設定することにより、設定されます。アップデート・クロックのダウン・カウンタ機能はシステム・クロックの1/2(最大150MHz)で動作し、32ビットのバイナリ値(ユーザーが設定)からカウント・ダウンを行います。カウントが0に達すると、DDS出力または機能の自動I/Oアップデートが発生します。アップデート・クロックは内部および外部でピン20に接続され、アップデート・クロック・レートと更新情報のプログラミング・タイミングをユーザーが同期化できるようになっています。更新パルス間の周期は次式で求められます。

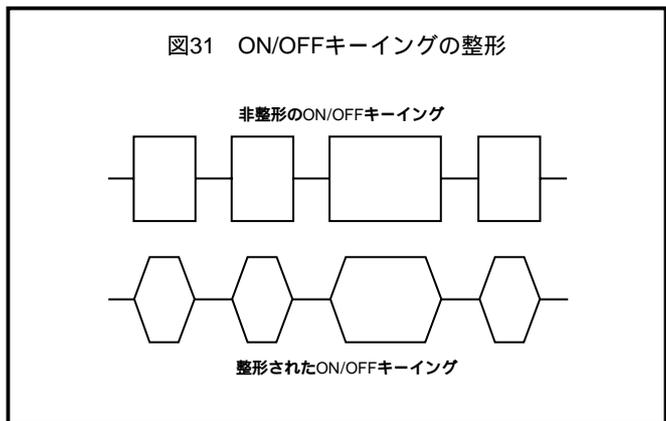
$$(N+1) \times (\text{システム・クロック周期} \times 2)$$

ここで、Nはユーザーが設定する32ビット値です。Nの許容範囲は1 ~ (2³² - 1)です。ピン20に出力される内部発生 of 更新パルス出力は、システム・クロックで8サイクル分の固定ハイ時間を持っています。

整形ON/OFFキーイング

この機能によって、I DACおよびQ DACから放射されるON/OFFのランプのアップ / ダウン時間を、ユーザーが制御できます。この機能はデジタル・データのバースト転送中に使用され、データの短い突発的なバーストによる、スペクトルに対する悪影響を削減するために使用します。まず、コントロール・レジスタ内のOSK ENビット(コントロール・レジスタ・アドレス20hex)をロジック・ハイに設定して、デジタル乗算器をイネーブルしておく必要があります。

そうせずにOSK ENビットをローに設定しておくと、振幅制御機能を持つデジタル乗算器がバイパスされて、I DAC出力およびQDAC出力がフルスケール振幅に設定されてしまいます。OSK ENビットの設定に加えて、2つ目のコントロール・ビットOSK INT(同じアドレス20hex)をロジック・ハイに設定する必要があります。このビットをロジック・ハイに設定すると、出力のランプ・アップ / ダウン機能を連続的に内部制御できます。OSK INTビットをロジック・ローにすると、デジタル乗算器の制御がユーザー・プログラマブルな12ビット・レジスタに切り替わり、振幅変化を任意の実用的な方法でのダイナミックな整形が可能になります。これらの12ビット・レジスタは“出力整形キー1、出力整形キーQ”と呼ばれ、表Vのアドレス21 ~ 24hexに配置されています。最大出力振幅はR_{SET}抵抗の関数になっており、OSK INTのイネーブル中は設定できません。



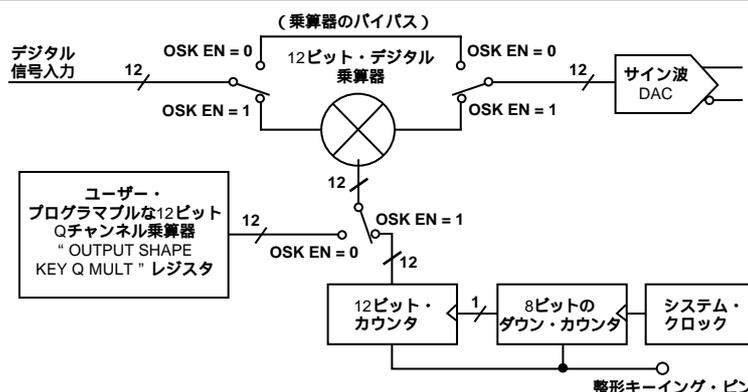


図32 整形キーイング機能付きデジタル乗算部 (Qパス) のブロック図
(バイパスも同様ですが、代替12ビットQ-DACソース・レジスタがありません)

次に、ゼロスケールからフルスケールへの変化時間を設定する必要があります。変化時間は、2つの固定要素と1つの変数要素の関数になっています。変数要素はプログラマブルな8ビット・ランプ・レート・カウンタになっています。このカウンタはシステム・クロック・レート(最大300MHz)でクロック駆動されるダウン・カウンタであり、カウンタがゼロになる度に1パルスを出します。このパルスは、各パルスを受信する度に1LSBだけインクリメントする12ビット・カウンタに入力されます。この12ビット・カウンタの出力は、12ビットのデジタル乗算器に接続されています。このデジタル乗算器に全ビットのゼロ値が入力されると、入力信号がゼロ倍されてゼロスケールが出力されます。この乗算器に全ビット“1”の値が入力されると、入力信号が1倍されてフルスケールが出力されます。その他に4094通りの乗算率が存在し、それぞれのバイナリ値に応じて出力振幅が出力されます。2つの固定要素は、ランプ・レート・カウンタを駆動するシステム・クロックのクロック周期と、ゼロスケールとフルスケールの間にある4096の振幅ステップです。例を挙げると、AD9854のシステム・クロックが100MHz(10ns周期)の場合、ランプ・レート・カウンタの最小カウントを5に設定すると、システム・クロック2周期が必要で(1つの立ち上がりエッジでカウント・ダウン値をロードし、次のエッジでカウンタを5から4にデクリメントします)、8ビットのカウント・ダウン値と出力パルス間隔の関係は、次式で求められます。

$$(N+1) \times \text{システム・クロック周期}$$

ここで、Nは8ビットのカウント・ダウン値です。12ビットのアップ・カウンタをゼロスケールからフルスケールに変化させるためには、4096個のパルスを必要とします。したがって、100MHzシステム・クロックに対する最小の整形キーイング・ランプ時間は、 $4096 \times 6 \times 10\text{ns} = \text{約}246\mu\text{s}$ になります。最大ランプ時間は $4096 \times 256 \times 10\text{ns} = \text{約}10.5\mu\text{s}$ になります。

最後に、ピン30のロジック状態を変えた場合、OSK INT = ロジック・ハイでは、“整形キーイング機能”が自動的に設定された出力整形機能を実行します。ピン30にロジック・ハイを入力すると、出力が直線的にフルスケール振幅まで増加した後それを維持し、ロジック・レベルがローに変化すると、出力はゼロスケールまで直線的に減少します。

I DACおよびQ DAC

DDSからの300MSPS(最大)のサイン波とコサイン波を出力します。これらの最大出力振幅は、ピン56のDACR_{SET}抵抗により設定されます。これらは、フルスケール最大出力20mAの電流出力型DACですが、公称10mAの出力電流で最善のスプリアス・フリー・ダイナミック・レンジ(SFDR)性能を実現します。R_{SET}値は $R_{SET} = 39.93/I_{OUT}$ で、ここでI_{OUT}は入力ア

ンプです。DAC出力の適合性仕様によって、出力で発生する最大電圧は-0.5~+1Vに規定されています。この規定値を超える電圧を発生させるとDACの歪みが大きくなり永久的な損傷を与える可能性があります。適切な負荷インピーダンスを使用して、出力電圧振幅を適合規定値内に抑えてください。両DAC出力は等しい終端を行って、最適なSFDRを得るようにする必要があります。特に、高調波歪み誤差が大きくなる高出力周波数では注意が必要です。

両DACの前には、DC~ナイキスト周波数範囲で平坦な振幅応答を得るためにDAC出力振幅変化を周波数に対して補償する、反転SIN(x)×xフィルタ(反転SINCフィルタ)が配置されています。デジタル乗算器が反転SINCフィルタの後ろに接続されて、振幅制御、振幅変調、振幅整形キーイングを可能にします。反転SINCフィルタ アドレス20hexのBypass Inv SINCビットとデジタル乗算器(アドレス20hexのOSK ENビット)をバイパスして、消費電力が節約できます。必要に応じてDAC PDビット(コントロール・レジスタのアドレス1D)をハイに設定すると、両DACの電源を切ることができます。

I-DACの出力をIOUT1(ピン48)とIOUT1B(ピン49)と呼びます。Q-DACの出力をIOUT2(ピン52)とIOUT2B(ピン51)と呼びます。

コントロールDAC

12ビットのQ DACは、“コントロール用”の補助DACとしても使用できます。このコントロール用DAC出力は、外部回路のDC制御レベルの出力、AC信号の発生、内部コンパレータのデューティ・サイクル制御のイネーブルのために使うことができます。コントロール・レジスタ(パラレル・アドレス1F hex)内のSRC QDACビットをハイに設定すると、Q DAC入力が12ビットの内部Qデータ・ソース(デフォルト設定)から、ユーザーが設定する2の補数データである外部12ビットに切り替えられます。データは、シリアル・インターフェースまたはパラレル・インターフェースを介して、最大100MHzのデータレートで12ビットQ DACレジスタ(アドレス26hex、27hex)に入力されます。このDACは300MSPS(最大)のシステム・クロックでクロック駆動され、I DACと同じ出力電流能力を持っています。AD9854の1本のR_{SET}抵抗により、両DACのフルスケール出力電流が決定されます。Q DAC POWER-DOWNビット(アドレス1D hex)をハイに設定すると、コントロール用DACを個別にパワー・ダウンさせて、消費電力が削減できます。このDAC出力制御は、IOUT2(ピン52)とIOUT2B(ピン51)と呼ばれます。

AD9854

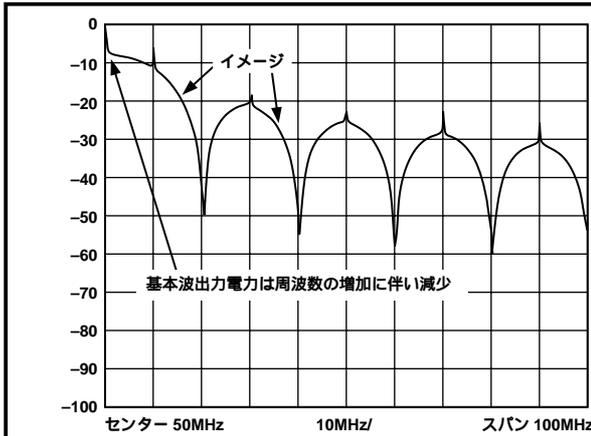


図33 通常のSIN(x)/x DAC出力電力包絡線フィルタ

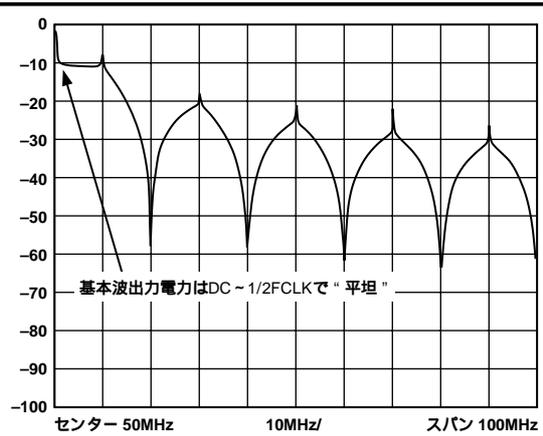


図34 反転SIN(x)/x (反転SINC) フィルタの動作

反転SINCフィルタの機能

反転SINCフィルタによって両DACの入力データをSIN(x)/xロールオフ関数で予め補償しておき、EVM(エラー・ベクタ振幅)増加させる振幅変動を発生させずに、広帯域幅の信号(例えばQPSK)をDACから出力することが可能になります。反転SINC関数をバイパスすると、特に高速クロックでは、大幅に消費電力を削減できます。Q DACをコントロール用DACとして設定する場合は、反転SINC関数は使用されません。

デフォルトでは、反転SINCが使用されていますが、表Vに示すコントロール・レジスタ20(hex)の“Bypass Inv SINC”ビットをハイに設定するとバイパスされます。

REFCLK乗算器

REFCLK入力に乗算する4~20xの範囲の整数クロック倍率をユーザーが設定できる、プログラマブルなPLLベースのリファレンス・クロック乗算器です。この機能を使って、15MHzの小さな入力で300MHzの内部システム・クロックを発生できます。コントロール・レジスタ1E(hex)の5ビットを使用して、表Iの倍率を設定できます。

REFCLK乗算器機能をバイパスして、外部クロック信号源からAD9854を直接クロック駆動することもできます。REFCLK乗算器(使用する場合)の出力、またはREFCLK入力をAD9854のシステム・クロックとして使用す

ることができます。REFCLKは、64ピンのDIFF CLKイネーブルにローを入力してシングル・エンド入力、ハイを入力することにより差動入力として使用できます。

PLL範囲ビット

REFCLK乗算器PLLの周波数範囲は、PLL範囲ビットを使って選択します。200~300MHz(内部システム・クロック・レート)の動作に対しては、PLL範囲ビットをロジック“1”に設定します。200MHz未満の動作は、PLL範囲ビットをロジック“0”に設定します。PLL範囲ビットによって、PLLループ・パラメータが、各範囲で最適な位相ノイズ性能を得るように調整されます。

ピン61、PLLフィルタ

このピンには、PLLループ・フィルタの外付けゼロ補償ネットワークを接続します。ゼロ補償ネットワークは、1.3kΩの抵抗と0.01μFのコンデンサとの直列接続で構成されます。このネットワークのもう一方の端は、AVDD(ピン60)のできるだけ近くに接続する必要があります。最適な位相ノイズ性能を得るためには、コントロール・レジスタ(アドレス1E)内のBypass PLLビットをセットして、クロック乗算器をバイパスすることができます。

表I. REFCLK乗算器コントロール・レジスタの値

乗算器の値	Ref Mult 4	Ref Mult 3	Ref Mult 2	Ref Mult 1	Ref Mult 0
4	0	0	1	0	0
5	0	0	1	0	1
6	0	0	1	1	0
7	0	0	1	1	1
8	0	1	0	0	0
9	0	1	0	0	1
10	0	1	0	1	0
11	0	1	0	1	1
12	0	1	1	0	0
13	0	1	1	0	1
14	0	1	1	1	0
15	0	1	1	1	1
16	1	0	0	0	0
17	1	0	0	0	1
18	1	0	0	1	0
19	1	0	0	1	1
20	1	0	1	0	0

差動REFCLKのイネーブル

ハイ・レベルに設定して、差動クロック入力のREFクロック（ピン69）とREFクロックB（ピン68）がイネーブルされます。所要最小差動信号振幅は800mVp-pです。差動信号の中心点またはコモン・モード範囲は、1.6～1.9Vが可能です。

ピン64（DIFF CLKイネーブル）をローにすると、REFCLK（ピン69）だけがアクティブ・クロック入力になります。これはシングル・エンド・モードと呼ばれます。このモードでは、ピン68（REFCLKB）をロー/ハイのどちらのレベルにも接続できますが、開放のままにはできません。

パラレル/シリアル・プログラミング・モード

ピン70をハイ・レベルにするとパラレル・モードが開始され、ピン70をロー・レベルにすると、シリアル・プログラミング・モードが開始されます。詳細については、このデータシートのシリアル/パラレル・プログラミング・プロトコルについての説明を参照してください。

表Vのアドレス20hexに配置された2つのコントロール・ビットは、シリアル・プログラミング・モードでのみ使用されます。LSB Firstビットがハイ・レベルに設定されると、シリアル・データがワードのLSBを先頭にしてロードされます。このビットをロー・レベルに設定すると（デフォルト設定）シリアル・データはワードのMSBを先頭にしてロードされます。SDO Activeがハイ・レベルに設定されると、SDOピン（ピン18）がAD9854レジスタからのリードバック・データの出力に使用されます。SDO Activeがロー・レベルに設定されると（デフォルト設定）SDIOピン（ピン19）が双方向シリアル・データの入/出力ピンとして使用され、ピン18はシリアル・モードでの機能を持ちません。

AD9854の動作モードの説明

AD9854には、5種類のプログラマブルな動作モードがあります。モードを選択するときは、コントロール・レジスタ（パラレル・アドレス1F hex）内の3ビットを表IIのように設定する必要があります。

表II. モード選択の表

モード2	モード1	モード0	結果
0	0	0	シングル・トーン
0	0	1	FSK
0	1	0	ランプ型FSK
0	1	1	掃引
1	0	0	BPSK

各モードでは、特定の機能の動作、または非動作の設定ができます。表IIIに、幾つかの重要な機能と、各モードでの使用の可否を示します。

シングル・トーン（モード000）

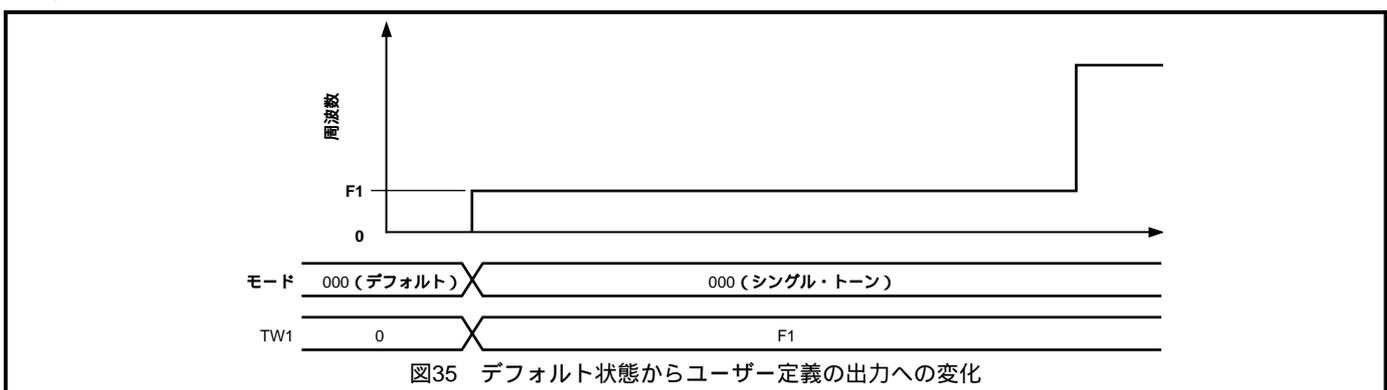
マスター・リセットがアサートされた場合、またはユーザーがコントロール・レジスタに設定した場合には、このモードがデフォルト・モードになります。出力周波数を発生する機能を持つ位相アキュムレータには、周波数チューニング・ワード1レジスタ（デフォルト値はゼロ）からの48ビット値が入力されます。その他の該当するレジスタのデフォルト値は、シングル・トーン出力信号の品質の項で、さらに詳しく定義します。

マスター・リセット直後のデフォルト値は安全な“無出力”を定義するので、0Hzで0位相の出力信号を発生します。パワーアップおよびリセットの直後、I DACおよびQ DACの出力は、出力電流の中心値に等しいDC値になります。これがデフォルトのモード振幅設定（ゼロ）になります。出力振幅制御の詳細については、デジタル乗算器の項を参照してください。28個のプログラム・レジスタの全部または一部を設定して、ユーザー定義の出力信号を発生させる必要があります。

図35は、デフォルト状態（0Hz）からユーザー定義の出力周波数（F1）に変化する様子を示しています。

すべてのアナログ・デバイスのDDSと同様に、周波数チューニング・ワードの値は、次式で求められます。

$$FTW = (\text{希望の出力周波数} \times 2N) / \text{SYSCLK}$$



表III. 使用可能な機能と動作モード

モード	位相調整 ¹	位相調整 ²	シングル・ピン FSK/BPSK/HOLD	シングル・ピン 整形 キーイング	位相オフセット または変調	振幅制御 または変調	反転 SINC フィルタ	周波数 チューニング ワード1	周波数 チューニング ワード2	自動 周波数 掃引
シングル・トーン	✓	X	X	✓	✓	✓	✓	✓	X	X
FSK	✓	X	✓	✓	✓	✓	✓	✓	✓	X
ランプ型FSK	✓	X	✓	✓	✓	✓	✓	✓	✓	✓
掃引	✓	X	✓	✓	✓	✓	✓	✓	X	✓
BPSK	✓	✓	✓	✓	X	✓	✓	✓	X	X

AD9854

ここで、Nは位相アキュムレータの分解能(この場合は48ビット)で、周波数の単位はHz、FTW(周波数チューニング・ワード)は10進値です。10進値を計算したら、それを丸め込み処理して整数値を求めて、それをバイナリ・フォーマット(2進数の重みを持つ48個の“1”または“0”の列)に変換します。サイン波DAC出力の基本周波数の範囲は、DC ~ 1/2 SYSCLKです。

周波数の変化では、位相は連続しています。すなわち、新しい周波数においても、新しい周波数の最初の位相を計算する基準点として、旧い周波数の最後の位相が使われます。

AD9854のI DACおよびQ DACは、常に90度位相がずれています。14ビットの位相レジスタ(データシート内の別の項目で説明)は各DAC出力の位相を独立して調整せず、位相オフセットの変化により両DACは等しく変化します。

シングル・トーン・モードを使うと、次の信号品質が制御できます。

- 48ビット精度の出力周波数
- 12ビット精度の出力振幅
 - ユーザー定義の固定振幅制御
 - プログラマブルな可変振幅制御
 - シングル・ピン制御による、プログラマブルで自動的整形ON/OFFキーイング
 - 14ビット精度の出力位相

さらに、これらすべての品質は、8ビット・パラレル・プログラミング・ポート経由で、100MHzの平行・バイト・レートまたは10MHzのシリアル・レートで

変更または修正できます。これらの機能を組み込むことにより、シングル・トーン・モードではFM、AM、PM、FSK、PSK、ASKの各動作が可能です。

非ランプ型FSK(モード001)

このモードを選択すると、DDSの出力周波数は周波数チューニング・ワード・レジスタ1および2にロードした値と、ピン29(FSK/BPSK/HOLD)のロジック・レベルの関数になります。ピン29をロジック・ローにすると、F1(周波数チューニング・ワード1、パラレル・アドレス4~9hex)が選択され、ロジック・ハイにすると、F2(周波数チューニング・ワード2、パラレル・レジスタ・アドレスA~F hex)が選択されます。周波数が変化しても位相は連続しており、実際には瞬時です(仕様の表のパイプライン遅延を参照)。F2とピン29以外がアクティブになり、このモードはシングル・トーンと同じです。

非ランプ型FSKモード(図36)は、デジタル・データの従来型FSK伝送、RTTY(無線テレタイプ)伝送またはTTY(テレタイプ)伝送を代表するものです。F1からF2の周波数変化は、ほぼ瞬時に発生します。この方法は簡単で非常に良く機能し、デジタル通信で最も信頼できる形式ですが、RFスペクトルを浪費します。

帯域幅を節約する代わりにFSK方式については、次のランプ型FSKの項を参照してください。

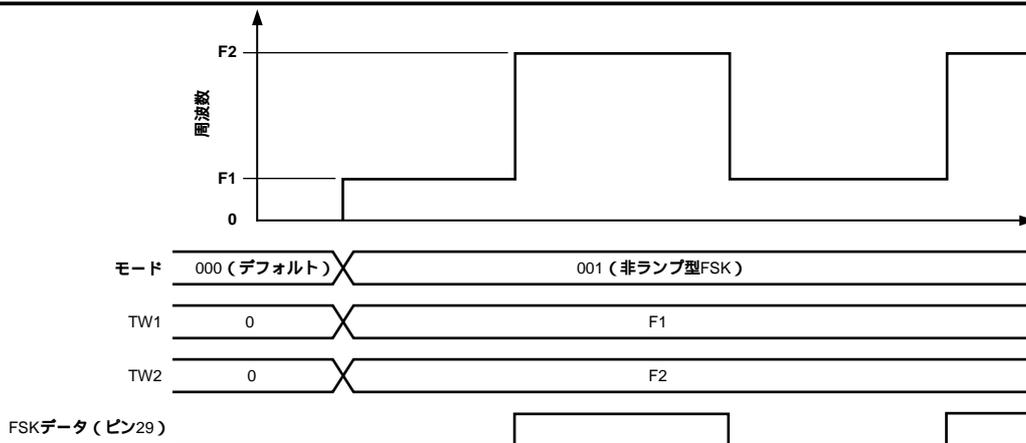


図36 従来型FSKモード

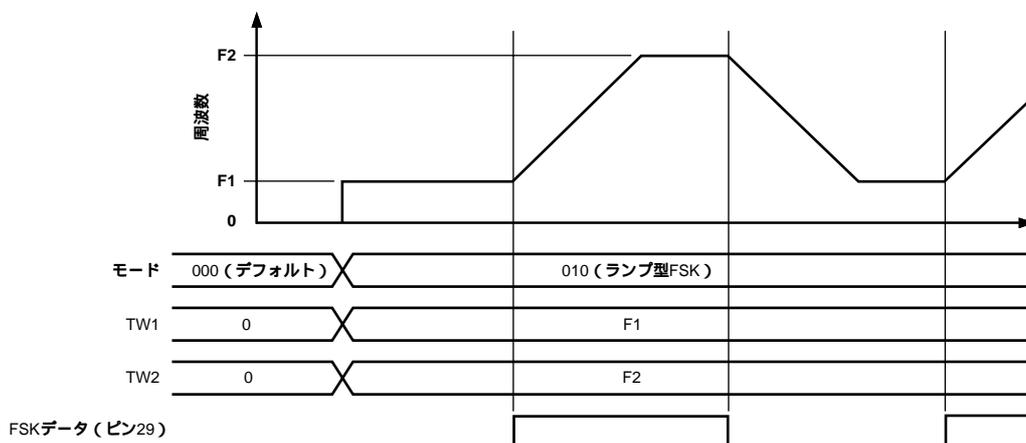


図37 ランプ型FSKモード

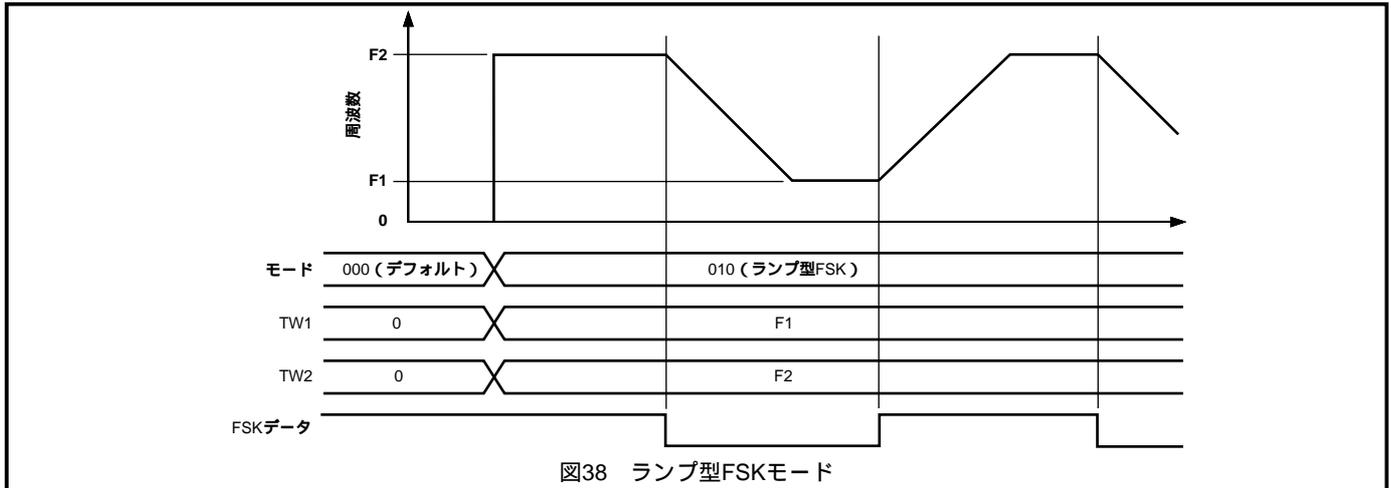


図38 ランプ型FSKモード

ランプ型FSK (モード010)

FSK方式の場合はF1からF2への周波変化は瞬時には行われず、周波数掃引すなわち周波数が徐々に変化(ランプ)することによって実行されます。ランプとは、掃引が直線的に行われることを意味します。直線掃引または周波数ランプは、容易に、かつ自動的に実行できますが、多くの方法の中の1つに過ぎません。その他の周波数変化方式としては、ランプ・レートとランプ・ステップ・サイズを正確に即座に変化させることができます。直線および非直線的に限らず、周波数ランピングでは、基本のF1周波数とF2周波数の他に、F1とF2の間の多くの中間周波数が出力されることが必要です。図37と図38に、直線ランプ型FSK信号の周波数と時間の関係を示します。

ランプ型FSKの目的は、周波数の瞬時変化を緩やかな変化(ユーザー定義の周波数変化)に置き換えることにより、従来型FSKより優れた帯域幅利用を可能にすることです。F1とF2の滞留時間を等しくすることも、あるいは各中間周波数の滞留時間に比べて遙かに大きくすることも可能です。ユーザーはF1とF2の滞留時間、中間周波数の数、各周波数での滞留時間を制御できます。非ランプ型FSKとは異なり、ランプ型FSKではF1レジスタにロードする最小周波数と、F2レジスタにロードする最高周波数が必要です。

中間周波数ステップの分解能(48ビット)と各ステップの滞留時間(20ビット)に関して、DDSの設定のために幾つかのレジスタを設定する必要があります。さらに、動作の前にコントロール・レジスタ内のCLR ACC1ビットをトグル(ロー・ハイ・ロー)して、周波数アキュムレータが確実に全ビット・ゼロの出力状態から開始するようにしておく必要があります。非直線周波数変化の各部分に対しては、周波数の変化中にレジスタを再設定して、希望の応答を得るようにします。

パラレル・レジスタ・アドレス1A~1C hexは、20ビットのランプ型レート・クロック・レジスタから構成されています。これは、カウントがゼロに到達する度にパルスを出し出すカウンタダウン・カウンタです。FSK入力(ピン29)のロジック・レベルが変化すると、このカウンタが起動されます。このカウンタは、システム・クロック・レート(最大300MHz)で動作します。各出力パルス間の周期は次式で求められます。

$$(N+1) \times (\text{システム・クロック周期})$$

ここで、Nはユーザーが設定する20ビットのランプ・レート・クロック値です。Nの許容範囲は1~(2²⁰-1)です。このカウン

タの出力が、48ビットの周波数アキュムレータをクロック駆動します(図39)。このランプ・レート・クロックによって、F1とF2の間の各中間周波数に滞留する時間が決定されます。このカウンタは、目的の周波数に到達すると自動的に停止します。F1とF2の滞留時間は、目的周波数に到達した後にFSK入力(ピン29)がハイまたはロー・レベルに保持されている時間によって決定されます。

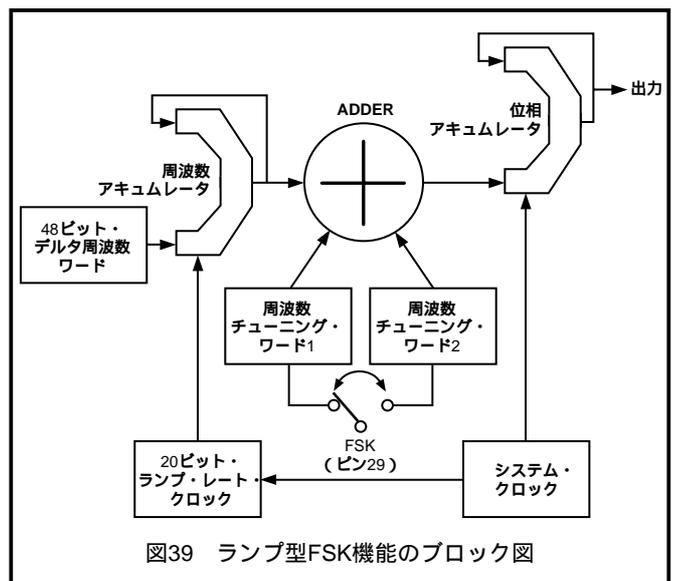


図39 ランプ型FSK機能のブロック図

パラレル・レジスタ・アドレス10~15hexは、48ビットストレート・バイナリ“デルタ周波数ワード”レジスタで構成されています。ランプ・レート・カウンタからクロック・パルスを受け取る毎に、48ビットのワードがアキュムレート(アキュムレータの出力をさらに加算)されます。このアキュムレータの出力はF1周波数ワードまたはF2周波数ワードと加算/減算されて、サイン波出力とコサイン波出力の位相ステップ数値を発生する48ビット位相アキュムレータ入力に、その結果が戻されます。この方法では、ピン29のロジック状態に応じて、出力周波数がランプ・アップ/ダウンさせられます。この動作の実行レートは、20ビットのランプ・レート・クロックの関数になります。目的の周波数に到達するとランプ・レート・クロックが停止し、これに従って周波数アキュムレーション処理も停止します。

AD9854

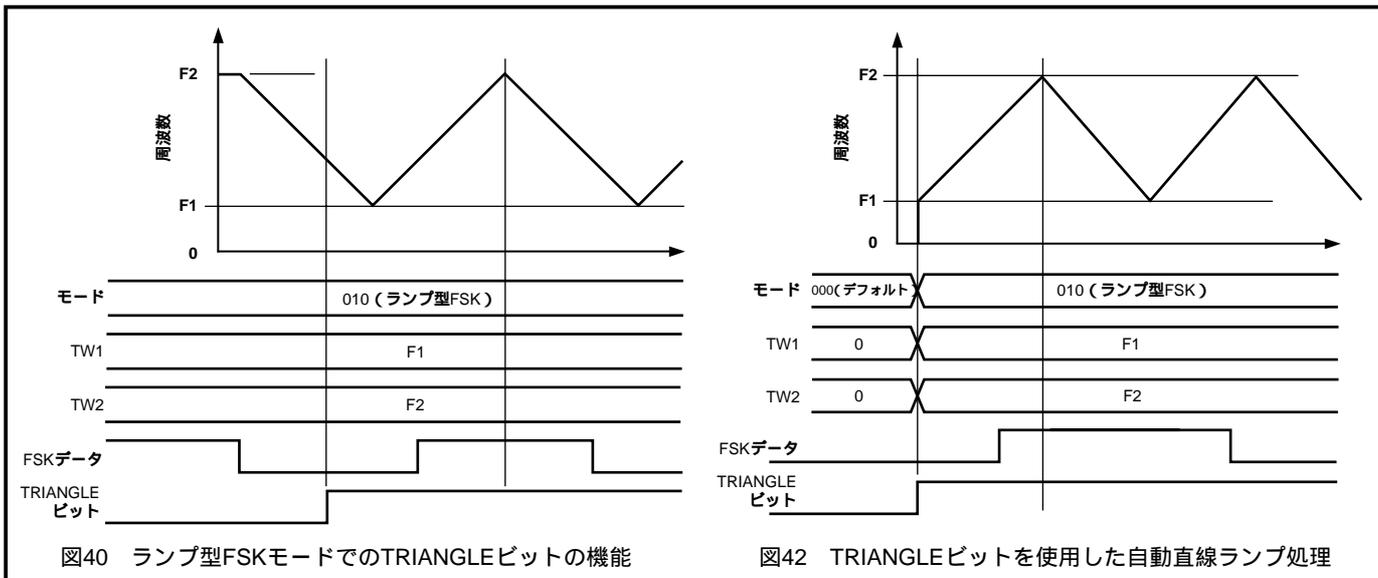


図40 ランプ型FSKモードでのTRIANGLEビットの機能

図42 TRIANGLEビットを使用した自動直線ランプ処理

一般に、デルタ周波数ワードは、F1またはF2のチューニング・ワードと比べると遙かに小さな値になります。
 例えば、F1とF2が13MHzで1kHz離れている場合、デルタ周波数ワードはわずか25Hzになります。

図41に、不完全なトグルを行った場合に、ランプ処理が直ちに反転し、その後同じレートと分解能で動作を続行して元の周波数に戻る様子を示します。

コントロール・レジスタには、パラレル・レジスタ・アドレス1F hexにTRIANGLEビットが配置されています。モード010でこのビットをハイに設定すると、ピン29をトグルしなくとも、F1とF2の間で自動ランプ・アップ/ダウンが実行されます(図40)。TRIANGLEビットがハイに設定されると、ピン29のロジック状態は無視されます。この機能では、ランプ・レート・クロック周期とデルタ周波数ワード・ステップ・サイズを使ってF1からF2へそしてF1へ戻り、かつ各周波数で等しい滞留時間を持つ連続掃引直線ランプを発生します。この機能を使うと、DCからナイキスト周波数まで、またはDCとナイキスト周波数の2つの周波数間の任意の位置で自動掃引を行えます。

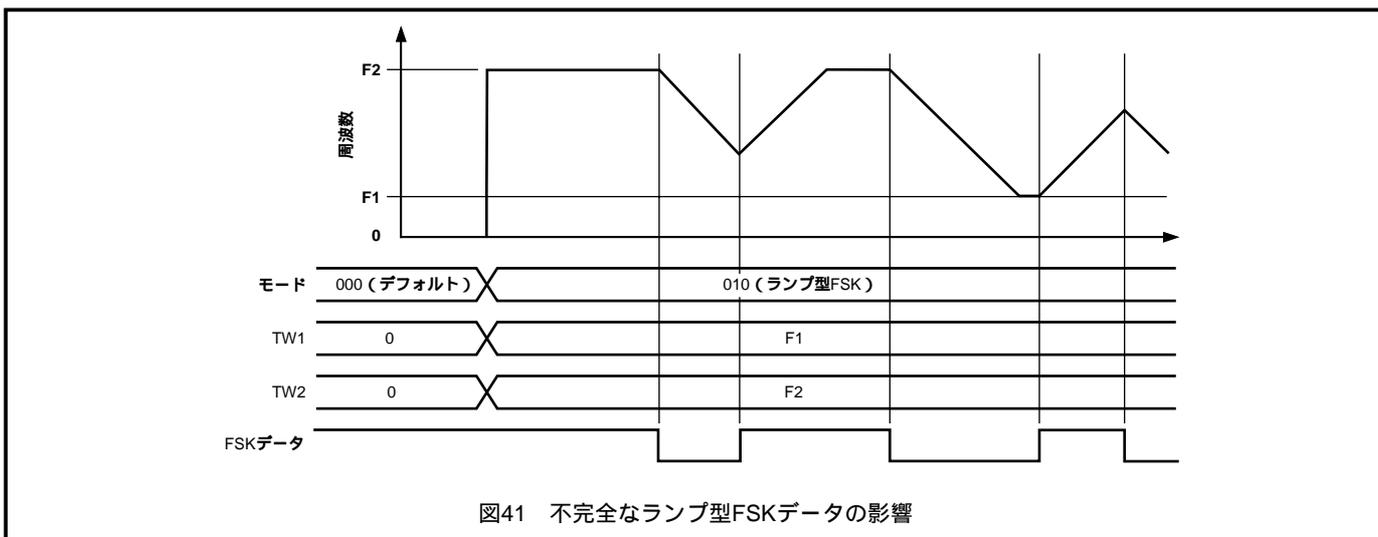


図41 不完全なランプ型FSKデータの影響

TRIANGLEビットをハイにセットしたランプ型FSKモードでは、TRIANGLEビットの立ち上がりエッジが検出されると、ピン29 (FSK入力ピン) のロジック・レベルに応じて、F1またはF2から自動周波数掃引が開始されます(図42参照)。FSKデータ・ビットがローではなくハイになっていると、F1ではなくF2が開始周波数として選択されます。

ランプ型FSKモードには、F1からF2、またはその逆方向でのランプ動作中にも、48ビットのデルタ周波数ワードおよび、または20ビットのランプ・レート・カウンタを即座に変更できる柔軟な機能もあります。これらの非直線的な周波数変化を実現するためには、異なるスロープの複数の直線ランプの断片で折れ線近似をする必要があります。これは、あるレートまたはスロープで直線ランプをプログラミングして実行し、その後でスロープを変更します(ランプ・レート・クロックまたはデルタ周波数ワード、あるいはその両方を変更して行う)。希望の非直線周波数掃引応答の近似にするために必要な回数だけスロープを変更し、目的周波数に到達するまで続けます。これらの折れ線近似は、32ビット内部アップデート・クロックを使って正確にタイミングが保持されます(詳細はデータシートの該当する項を参照)。

非直線ランプ型FSKは、一見すると図43の掃引機能に似ています。ランプ型FSK機能と掃引機能の間の主要な相違は、FSKの動作がF1とF2の間に限定されていることです。掃引動作にはF2に該当する限界周波数がありません。

ランプ型FSKモードでは、2ビットのコントロール・ビットが追加されており、追加オプションをサポートしています。CLR ACC1 (レジスタ・アドレス1F hex)をハイに設定すると、システム・クロックの1周期幅の再トリガー可能なワンショット・パルスで48ビットの周波数アキュムレータ(ACC1)出力をクリアします。CLR ACC1ビットをハイのままにしておくと、アップデート・クロックの各立ち上がりエッジでワンショット・パルスが入力されます。その結果、電流ランプが停止し、周波数が開始点(F1またはF2)にリセットされて、直前のレートで再度ランプ・アップ(またはダウン)が継続されます。これは、F1またはF2のステティックな目的周波数に到達した時にも同様に実行されます(図43)。

次に、CLR ACC2コントロール・ビット(レジスタ・アドレス1F hex)は、周波数アキュムレータ(ACC1)と位相アキュムレータ(ACC2)の両方をクリアする時に使われます。このビットをハイに設定すると、位相アキュムレータ出力はDDSからの0Hz出力になります。このビットがハイである限り、周波数アキュムレータと位相アキュムレータはクリアされたままになり、0Hzが出力されます。直前のDDS動作に戻るときは、CLR ACC2をロジック・ローに設定します。

掃引(モード011)

このモードはパルス型FMとも呼ばれます。多くの掃引システムでは、任意のパターンの使用も可能ですが、直線的なFM掃引パターンを使用しています。これは“処理ゲイン”を実現できる拡散スペクトル変調の一種です。レーダー・アプリケーションでは、掃引またはパルス型FMを使用すると、シングル周波数レーダー・システムと同じ出力を得るために必要な出力電力を大幅に削減することができます。図43に、変化する時間ステップ(ランプ・レート)と周波数ステップ(デルタ周波数ワード)を使って実現された種々のスロープを見せる、非常に低分解能の非直線掃引の例を示します。

AD9854を使うと、ユーザー定義の周波数範囲、継続時間、周波数分解能、掃引方向を持つ精密な内部発生直線的FM、および外部からプログラムする非直線的なパルス型または連続型のFMが可能になります。図44に、FM掃引部分のブロック図を示します。

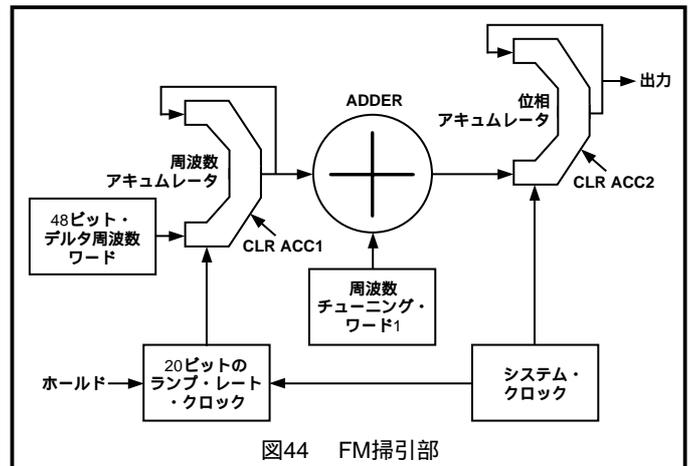


図44 FM掃引部

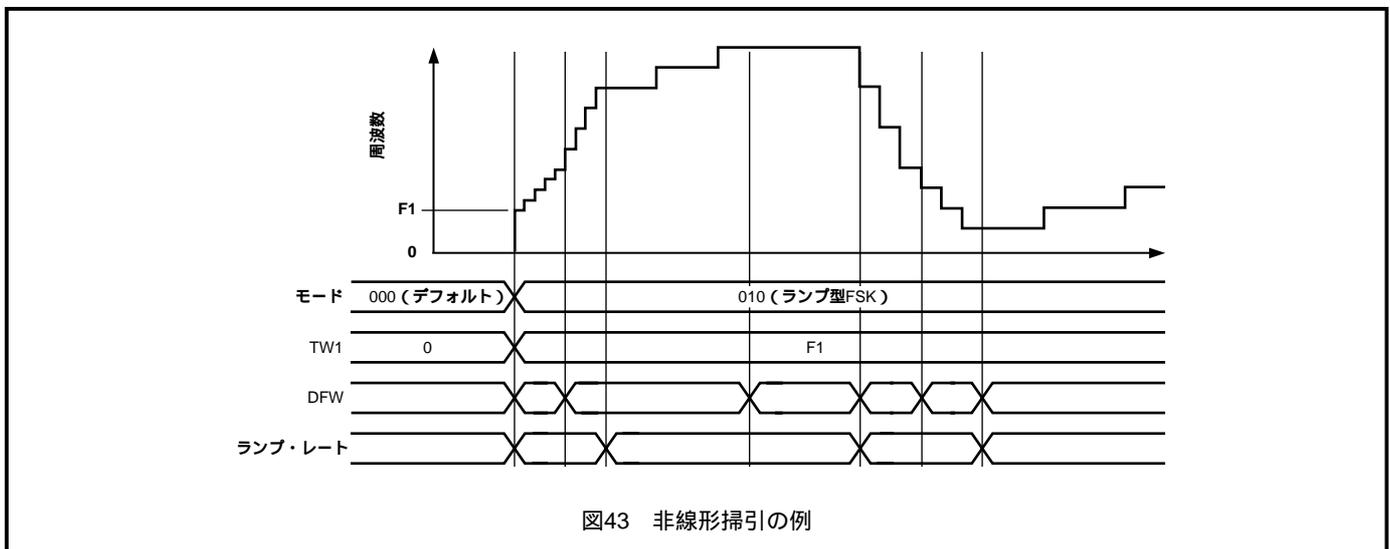


図43 非線形掃引の例

AD9854

FM掃引の基本的なプログラミング・ステップ

1. 開始周波数を周波数チューニング・ワード1(パラレル・レジスタ・アドレス4~9 hex)に設定します。この周波数チューニング・ワード1を以後FTW1と呼びます。
2. 周波数ステップ分解能を48ビット2の補数の 周波数ワード(パラレル・レジスタ・アドレス10~15hex)に設定します。
3. 変化レート(各周波数での時間)を20ビットのランプ・レート・クロック(パラレル・レジスタ・アドレス1A~1C)に設定します。
4. 設定が終了したら、ピン20にI/O更新パルスを入力すると、プログラム・コマンドが実行されます。

周波数ワードが2の補数なのは、FM掃引の方向を指定するために必要だからです。48ビットの 周波数ワードが負の場合(MSBがハイ) 周波数変化方向はFTW1から負方向に向かいます。48ビット・ワードが正の場合(MSBがロー) 周波数変化方向は正方向になります。

FTW1が、FM掃引の唯一の開始点であることは重要です。FTW1に戻るとい設定済みの条件は存在しません。FM掃引がFTW1から開始されると、ナイキスト帯域幅 DC ~ 1/2システム・クロック)内で自由に(プログラム制御に基づいて)変化できます。FTW1へ瞬時に戻ることも容易にできますが、このオプションについては、以後のいくつかの項で説明します。

FM掃引モードでは、2ビットのコントロール・ビットが使用でき、

開始周波数 FTW1 または0Hzに実際に瞬時に戻ることができます。まず、CLR ACC1ビット(レジスタ・アドレス1F hex)をハイに設定すると、システム・クロックの1周期幅のワンショット・パルスで再トリガー可能な、48ビットの周波数アキュムレータ(ACC1)出力をクリアします。アキュムレータに対する48ビットの 周波数ワード入力は、CLR ACC1ビットの影響を受けません。CLR ACC1ビットをハイのままにしておくと、更新クロックの各立ち上がりエッジでワンショット・パルスが入力されます。その結果、電流掃引が停止し、周波数がFTW1にリセットされてから、直前のレートと方向で掃引が継続されます。掃引モードでの周波数アキュムレータのクリアを図45に示します。I/O更新信号は図示してませんが、この信号は、ユーザーによる入力と、内部生成が可能です。I/O更新については、このデータシートの他の項目に記載してあります。

次に、CLR ACC2コントロール・ビット(レジスタ・アドレス1F hex)は、周波数アキュムレータ(ACC1)と位相アキュムレータ(ACC2)の両方のクリアに使えます。このビットをハイに設定すると、位相アキュムレータ出力はDDSからの0Hz出力になります。このビットがハイである限り、周波数アキュムレータと位相アキュムレータはクリアされたままになり、出力も0Hzのままです。直前のDDS動作に戻るときは、CLR ACC2にロジック・ローを設定します。このビットは、パルス型FMを発生するときに役立ちます。

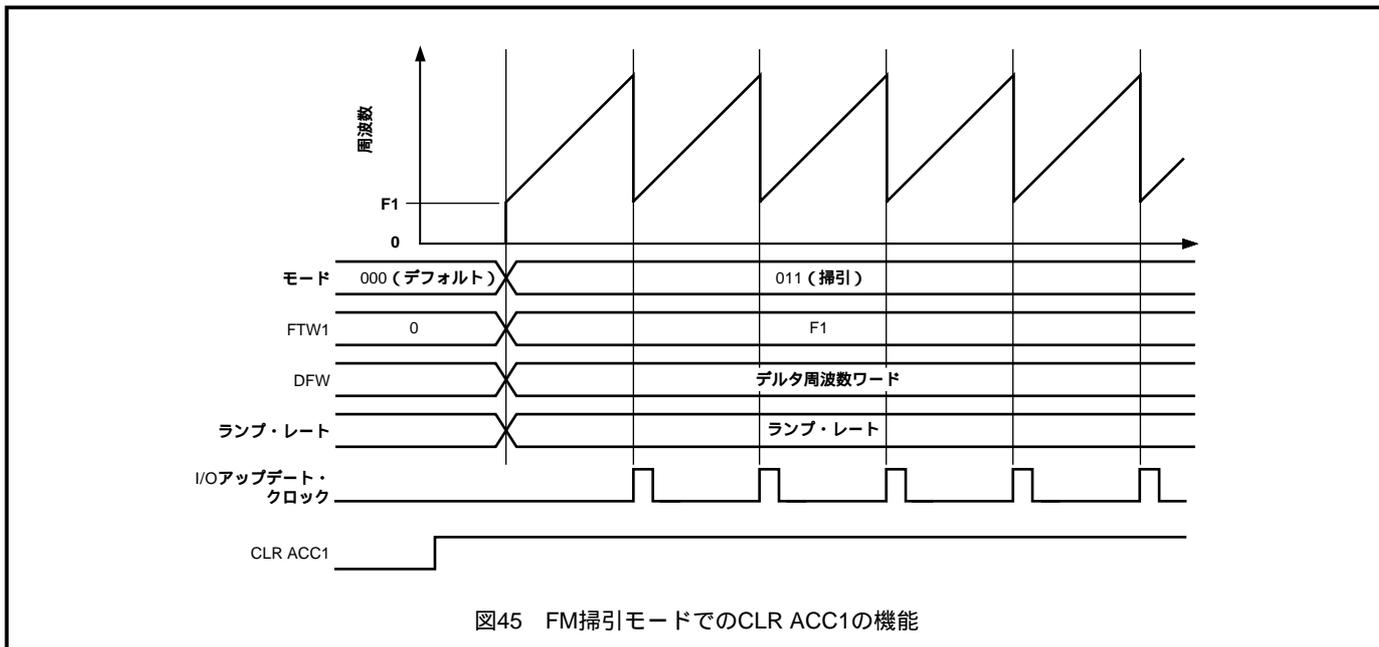


図45 FM掃引モードでのCLR ACC1の機能

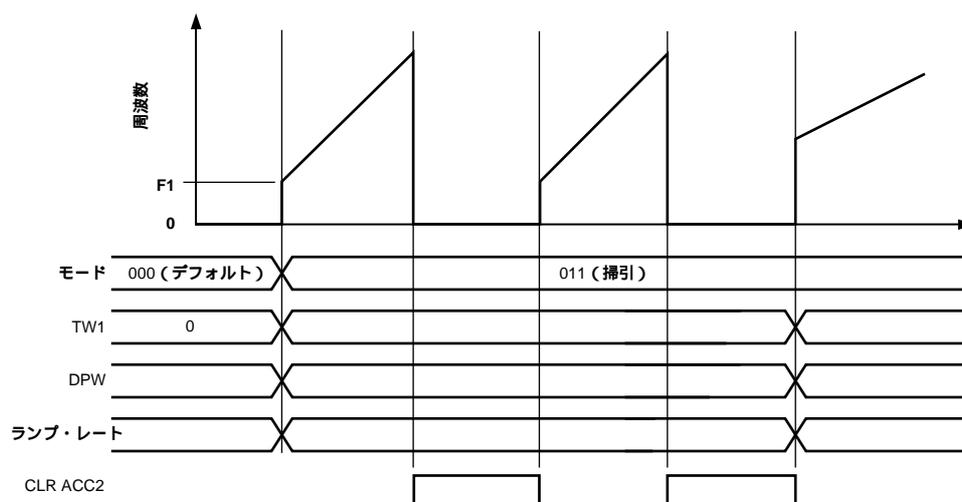


図46 FM掃引モードでのCLR ACC2の機能

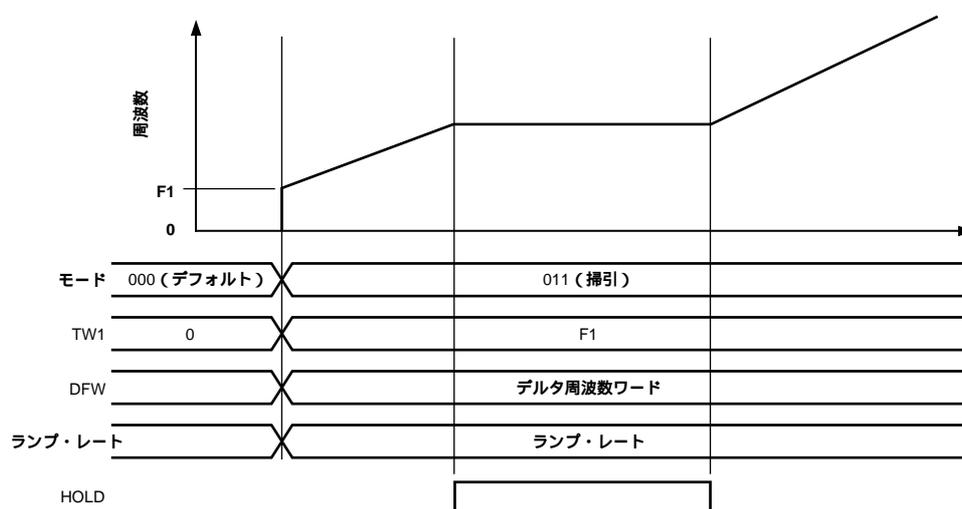


図47 HOLD機能の説明

FM掃引

図46に、DDS出力周波数に対するCLR ACC2ビットの機能を図示します。CLR ACC2ビットがハイの時にレジスタを再設定すると、新しいFTW1周波数とスロープがロードされます。

掃引モードでのみ使用できるもう1つの機能として、HOLDピン（ピン29）があります。この機能はランプ・レート・カウンタに対するクロック信号の入力を停止させ、したがって周波数アキュムレータ（ACC1）に対するそれ以後の全クロック・パルス入力を停止させます。掃引を停止させると、HOLDがハイにされる直前の周波数のスタティック状態に出力周波数を維持させる効果があります。

HOLDピンをローに戻すと、クロック入力が再開されて、掃引が継続されます。HOLD状態では、ユーザーはプログラミング・レジスタを変更できますが、カウントがゼロに到達して新しいランプ・レート・カウンタがロードできるようになるまでは、ランプ・レート・カウンタは直前のレートで動作する必要があります。図47に、HOLD機能のDDS出力周波数に対する効果を示します。

複雑な掃引シーケンスまたはランプ型FSKシーケンスを発生させる場合、ユーザーは32ビットの自動I/O更新カウンタを使うことができます。この内部カウンタはAD9854システム・クロックに同期しているため、精密にタイミングをプログラムした変更を行うことができます。この方法では、ユーザーは希望のレジスタを再設定するだけで、自動I/O更新パルスを発生させることができます。この機能の詳しい説明は、このデータシートの該当する項で説明します。

掃引モードでは、目的周波数を直接指定しません。ユーザーが掃引の制御に失敗した場合は、ユーザーが停止させない限り、DDSはDCとナイキスト周波数の間で出力を自然に調整することによって自己制御を行い、電源が無くなるまで掃引を継続します。掃引の目的周波数に到達した際に実行する内容は、ユーザーの決定によります。次のような選択が可能です。

1. HOLDピンを使って停止させた後に、目的周波数を維持する。あるいは、全ビット・ゼロを周波数アキュムレータ（ACC1）の周波数ワード・レジスタに設定する。

AD9854

- HOLDピン機能を使って停止させた後、デジタル乗算器ステージと整形キーイング・ピン（ピン30）を使って、またはプログラム・レジスタ（アドレス21～24hex）経由で制御して、出力振幅をランプ・ダウンさせる。
- CLR ACC2ビットを使って、転送を瞬時に停止させる。
- 方向を変えて、直前の目的周波数あるいは別の目的周波数に向かって、直線的にまたはユーザー指定の方法で掃引を続ける。周波数を下げる場合には、負の48ビット・デルタ周波数ワード（MSBが“1”）をレジスタ10～15hexにロードする必要があります。デルタ周波数ワードが負の周波数ステップの場合には、MSBをロジック・ハイに設定する必要があります。
- 三角波のように直ちにF1開始周波数に戻り、直前の掃引処理を繰り返すことにより、掃引を継続する。CLR ACC1コントロール・ビットが、この場合に使用されます。自動の繰り返し掃引は、32ビットの更新クロックを使って、細かい時間間隔でCLR ACC1コマンドを発行して設定できます。タイミング間隔の調整またはデルタ周波数ワードの変更を行うと、掃引範囲が変化します。適切な周波数範囲を得るための掃引継続時間と周波数分解能のバランスは、ユーザーが調整する必要があります。

BPSK(モード100)

バイナリ・バイフェーズすなわちバイポーラ位相シフト・キーイングは、AD9854のIおよびQ出力に等しい影響を与える2つのプログラム済み14ビット出力位相オフセットから、1つを迅速に選択することを意味します。ピン29（BPSKピン）のロジック状態が、位相調整レジスタ1、2の選択を制御します。ピン29がローの場合は位相調整レジスタ1が、ピン29がハイの場合は位相調整レジスタ2が、それぞれ選択されます。図48に、出力キャリアの4サイクルで発生する位相変化を示します。

BPSKプログラミングの基本ステップは、以下の流れになります。

- キャリア周波数を周波数チューニング・ワード1に設定します。
- 該当する14ビットの位相ワードを、位相調整レジスタ1、2に設定します。
- BPSKデータ・ソースをピン29に接続します。
- 準備が完了したら、I/O更新パルスを起動します。

位相シフト・キーイングが目的でなく、広い範囲の位相オフセットが必要な場合には、シングルトーン・モードを選択して、

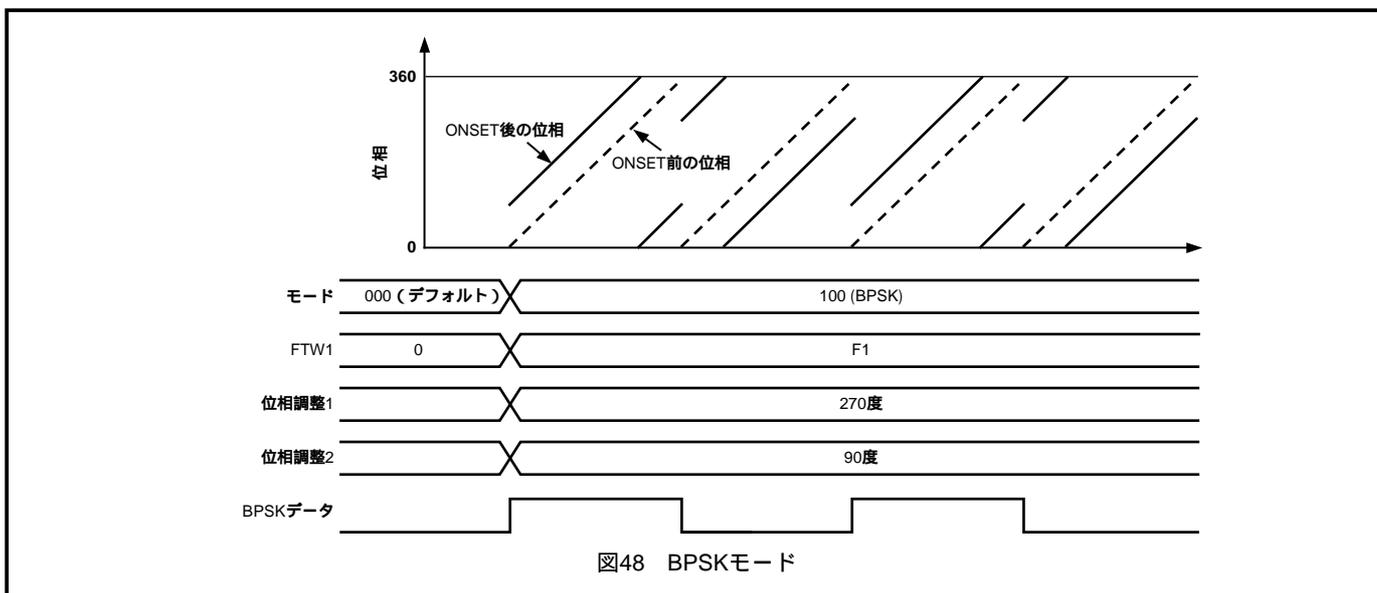
シリアルまたは高速パラレル・プログラミング・バスを使って位相調整レジスタ1を選択します。

I/Oポート・バッファ 100MHzの8ビット・パラレルまたは10MHzのシリアル・ローディングでSPI互換。プログラミング・モードは、外部からシリアル/パラレル（S/P Select）ピンを使って選択します。I/Oバッファは、読み出しピン（RDB）と書き込みピン（WRB）に入力された信号に応じて、加えてパラレル・モードでは6ビット・アドレス（A0～A5）に、シリアル・モードではCSBピン、SCLKピン、SDIOピンに入力された信号に応じて、読み書きすることができます。

ユーザーが入力したプログラム命令により上書きされるまで、または電源が切られるまで、I/Oポート・バッファ内のデータは保存されます。I/O更新クロックにより、I/Oバッファのデータを実行時にDDSプログラミング・レジスタに入力されます。

AM I/Oポート I/Oポートを使って両DACの前にあるそれぞれの12ビット・デジタル乗算器ステージを制御すると、I DACおよびQ DACの振幅変調が可能になります。乗算器を使って、ゼロスケールとフルスケールの間にDAC出力を設定して、スタティックな振幅調整もできます。I DACおよびQ DACの振幅は、個々に設定できます。詳細については、“整形ON/OFFキーイング”の項の説明を参照してください。Q DACをコントロール用DACとして使用する場合には、このDACに整形キーイング機能を使用できません。この場合、ユーザーはプログラミング・レジスタのアドレス26hexと27hexにある12ビットQ DACレジスタを使って、コントロール用DACの出力レベルを制御できます。

高速コンパレータ 高速用に最適化され、300MHzを超えるトグル・レート、低ジッター、検出入力、ヒステリシス内蔵、50で最小1Vp-pの出力レベル、高インピーダンス負荷でのCMOSロジック・レベルを備えています。このコンパレータは、個別にパワーダウンして消費電力が削減できます。このコンパレータは“クロック・ジェネレータ”アプリケーションで使用して、バンドパス・フィルタまたはローパス・フィルタ処理したサイン波を方形波に変換できます。



8ビット・ランプ・レート・クロック 整形ON/OFFキーイングの使用時に、このダウン・カウンタはシステム・クロック（最大300MHz）を入力して、8ビット・バイナリ値（ユーザー設定）でこのクロックを分周して、ユーザー定義のクロックを発生します。このクロックは、カウンタがゼロにカウント・ダウンする毎にパルスを1個出力します。このクロックは、I DACおよびQ DACの12ビット・デジタル乗算器の変更レートを設定して、出力整形機能を実行する場合に使います。

20ビット・ランプ・レート・クロック 選択されると、このダウン・カウンタはシステム・クロック（最大300MHz）を入力して、このクロックを20ビットのバイナリ値（ユーザー設定）で分周し、ユーザー定義のクロックを発生します。クロックは、カウンタがゼロにカウント・ダウンする毎にパルスを1個出力します。このクロックは、ランプ型FSKまたはFM掃引モードの周波数変化レートの設定に使います。

48ビット・デルタ周波数レジスタ 掃引モードとランプ型FSKモードでのみ使用。このレジスタには、周波数アキュムレータ（ACCU 1）の周波数増分値を表す48ビット・ワードがロードされます。この周波数アキュムレータの出力には、F1またはF2の周波数レジスタに設定されている周波数が加算されます。このレジスタは、20ビットのランプ・レート・クロック（最大150MHz）により設定されたレートで、周期的にインクリメントされます。

48ビット 周波数レジスタ 48ビットの位相アキュムレータ（ACCU 2）に入力される48ビットの周波数チューニング・ワードが設定され、シングル・トーン・モードでDDSの出力周波数を決定します。ランプ型FSKまたは掃引が選択されると、この

レジスタはデジタル加算器に転送され、そこでACCU 1の出力が加算された後、ACCU 2に入力されます。したがって、ACCU 2に転送された信号は、スタティックに、または毎秒最大1.50億回の48ビット周波数チューニング・ワードのレートで変更することができます。

パワーダウン 使用しない場合には、プログラミング・レジスタを使用して、希望のステージの機能を維持したままで幾つかのステージを個別にパワーダウンさせて、消費電力を削減できます。これらのステージは、レジスタ配置テーブル（アドレス1D hex）内に定義されます。パワーダウンは、指定されたビットをロジック・ハイに設定して実行されます。ロジック・ローは該当するステージに電源が入っていることを示します。

さらに、コントロール・レジスタ（アドレス20hex）の設定により、恐らく最も電力を消費する2つのデジタル・ステージである反転SINCフィルタ・ステージとデジタル乗算器ステージをバイパスして、大幅な消費電力の削減が可能です。ここでも、ロジック・ハイを設定すると、ステージがバイパスされます。反転SINCフィルタ・ステージの消費電力は大きいいため、反転SINCフィルタが特に重要です。

フル・パワーダウンは、コントロール・レジスタ（1D hex）内にある4ビットのPDビットがすべてロジック・ハイに設定された時に発生します。これにより消費電力は約10mW（3mA）に削減されます。

マスター・リセット ロジック・ハイがアクティブになるこのビットは、システム・クロックで最小10サイクル間、ハイ・レベルに維持する必要があります。そうすると、通信バスが初期化されて、表Vに記載されたデフォルト値がロードされます。

AD9854

表V. レジスタ配置（網点表示の部分がコントロール・レジスタを構成）

パラレル アドレス	シリアル アドレス	AD9854のレジスタ配置								デフォルト 値
Hex	Hex	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
00	0	位相調整レジスタ#<13:8>(ビット15, 14注意なし)				位相1				00h
01		位相調整レジスタ#1<7:0>								
02	1	位相調整レジスタ#2<13:8>(ビット15, 14注意なし)				位相2				00h
03		位相調整レジスタ#2<7:0>								
04	2	周波数チューニング・ワード1<47:0>				周波数1				00h
05		周波数チューニング・ワード1<39:32>								
06		周波数チューニング・ワード1<31:24>								
07		周波数チューニング・ワード1<23:16>								
08		周波数チューニング・ワード1<15:8>								
09		周波数チューニング・ワード1<7:0>								
0A	3	周波数チューニング・ワード2<47:40>				周波数2				00h
0B		周波数チューニング・ワード2<39:32>								
0C		周波数チューニング・ワード2<31:24>								
0D		周波数チューニング・ワード2<23:16>								
0E		周波数チューニング・ワード2<15:8>								
0F		周波数チューニング・ワード2<7:0>								
10	4	デルタ周波数ワード<47:40>								
11		デルタ周波数ワード<39:32>								
12		デルタ周波数ワード<31:24>								
13		デルタ周波数ワード<23:16>								
14		デルタ周波数ワード<15:8>								
15		デルタ周波数ワード<7:0>								
16	5	更新クロック<31:24>								
17		更新クロック<23:16>								
18		更新クロック<15:8>								
19		更新クロック<7:0>								
1A	6	ランブ・レートクロック<19:16>(ビット23, 22, 21, 20注意なし)								
1B		ランブ・レートクロック<15:8>								
1C		ランブ・レートクロック<7:0>								
1D	7	注意なし	注意なし	注意なし	Comp PD	常にロー に予約	QDAC PD	DAC PD	DIG PD	00h
1E										
1F		注意なし	PLL範囲	PLL バイパス	Ref Mult 4	Ref Mult 3	Ref Mult 2	Ref Mult 1	Ref Mult 0	64h
20		CLR ACC1	CLR ACC2	TRIANGLE	SRC QDAC	モード2	モード1	モード0	Int Update Clk	01h
		注意なし	反転SINC バイパス	OSK EN	OSK INT	注意なし	注意なし	LSB先頭	SDO アクティブ	20h
21	8	出力整形キーI Mult <11:8>(ビット15, 14, 13, 12注意なし)								
22		出力整形キーI Mult <7:0> 00h								
23	9	出力整形キーQ Mult <11:8>(ビット15, 14, 13, 12 注意なし)								
24		出力整形キーQ Mult <7:0>								
25	A	出力整形キー・ランブ・レート<7:0>								
26	B	QDAC <11:8>(ビット15, 14, 13, 12 注意なし)								
27		QDAC <7:0>(データは2の補数フォーマット)								

AD9854のインターフェースとプログラミング

表Vに示すAD9854のレジスタ配置には、チップを希望の機能にプログラムする情報も記載してあります。

多くのアプリケーションでは、AD9854の設定に殆どプログラミングを必要としませんが、アプリケーションによっては、12個のアクセス可能な全レジスタ・バンクを使用するものもあります。AD9854は、8ビットのバイト・パラレルI/O動作またはSPI互換のシリアルI/O動作をサポートしています。すべてのアクセス可能なレジスタは、いずれかのI/O動作モードで書き込みおよび読み出しができます。

外部ピン（S/P SELECT）を使って、I/Oモードを設定します。パラレルI/Oモードを使うシステムでは、S/P SELECTピンをV_{DD}に接続する必要があります。シリアルI/Oモード動作のシステムでは、S/P SELECTピンをGNDに接続する必要があります。

モードに関係なく、I/Oポート・データはバッファ・メモリに書き込まれます。バッファ・メモリの内容がレジスタ・バンクに転送されるまで、バッファ・メモリはAD9854の動作に影響を与えません。情報の転送はシステム・クロックに同期して発生し、次のいずれかの方法で行われます。

1. ユーザー・プログラマブルなレートでの内部制御
2. 外部からのユーザー制御。REFCLKがなくてもI/O動作は可能ですが、REFCLKなしではバッファ・メモリからレジスタ・バンクにデータを移動できません。詳細はこのデータシートの更新クロック動作の項を参照してください。

パラレルI/O動作

S/P SELECTピンをハイに接続すると、パラレルI/Oモードが起動します。I/Oポートは業界標準のDSPおよびマイクロコントローラと互換性があります。I/Oポート・ピンは、アドレス・ビット6本、双方向データ8本、読み出し/書き込みコントロール入力1本で構成されています。

パラレルI/O動作を使うと、100MHzのI/O動作1回ですべてのレジスタ内の各バイトへの書き込みアクセスが可能です。AD9854を使った設計を容易にするために、各レジスタに対するリードバックも用意されています。読み出しはソフトウェア・デバッグ専用なので、100MHz動作は保証していません。

図49と図50に、パラレルI/O動作のタイミング図を示します。

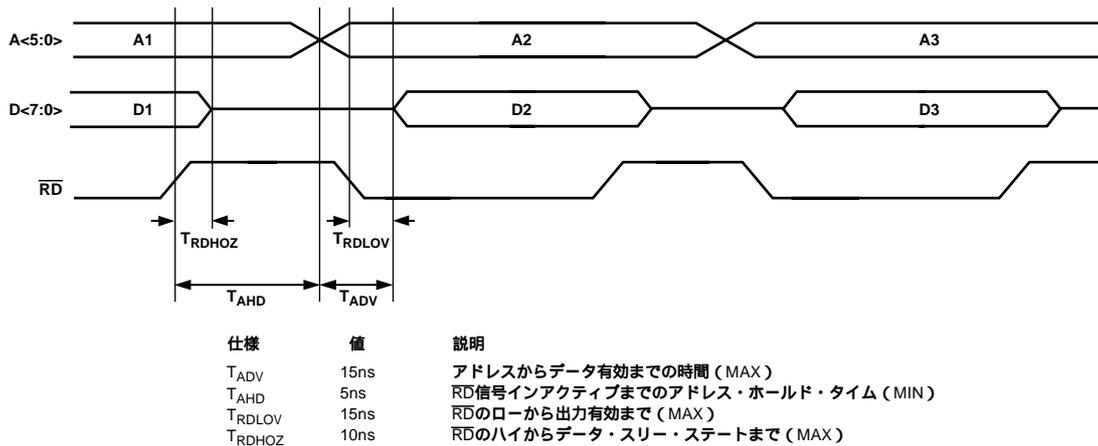


図49 パラレル・ポートの読み出しタイミング図

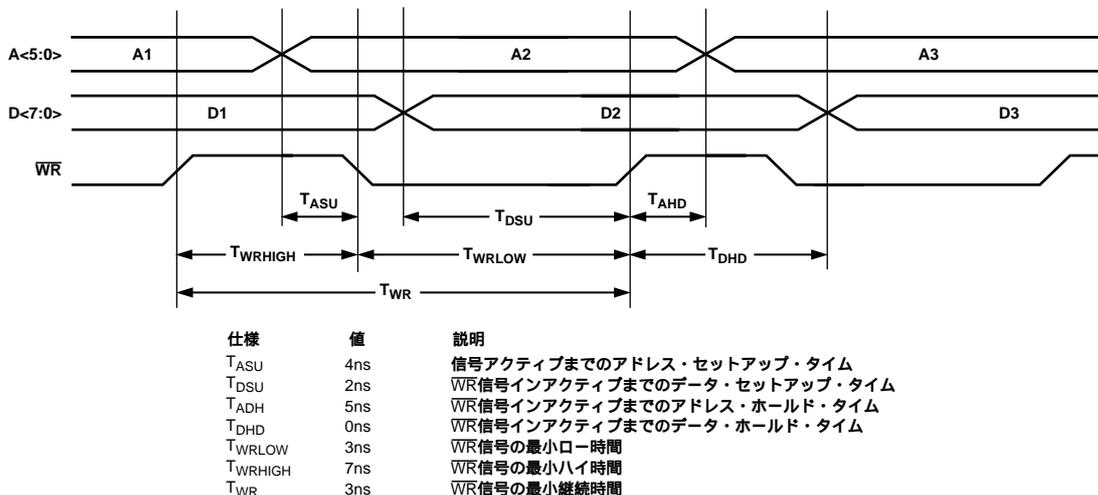


図50 パラレル・ポートの書き込みタイミング図

AD9854

シリアル・ポートI/O動作

S/P SELECTピンをロー・レベルに接続すると、シリアルI/Oモードが起動します。AD9854のシリアル・ポートはフレキシブルな同期シリアル通信ポートで、多くの業界標準のマイクロコントローラやマイクロプロセッサと容易にインターフェースできます。このシリアルI/Oは、モトローラ社の6905/11 SPIプロトコルやインテル社の8051 SSRプロトコルなどの多くの同期転送フォーマットと互換性があります。このインターフェースを使用すると、AD9854を設定する12個の全レジスタに対する書き込み/読み出しアクセスが可能になり、1ピンのI/O (SDIO) またはIN/OUT (SDIO/SDO) 用の2本の単方向ピンとして設定できます。データ転送は、最大10MHzのMSB先頭フォーマットまたはLSB先頭フォーマットでサポートします。

シリアルI/O動作として設定されると、AD9854の殆どのパラレル・ポート・ピンは非アクティブになりますが、一部がシリアルI/Oとして使用されます。表VIIに、シリアルI/Oで使用するピンを示します。

表VI. 使用するシリアルI/Oピン

ピン番号	ピン名	シリアルI/Oの説明
1, 2, 3, 4, 5, 6, 7, 8	D[7~0]	パラレル・データ・ピンは非アクティブであり、VDDまたはGNDに接続します。
14, 15, 16	A[5~3]	パラレル・アドレス・ピンA5、A4、A3は非アクティブであり、VDDまたはGNDに接続します。
17	A2	IOリセット
18	A1	SDO
19	A0	SDIO
20	I/O UD	更新クロック。シリアル・モードの場合もパラレル・モードと同じ機能
21	WRB	SCLK
22	RDB	CSB チップ選択

シリアル・インターフェースの一般的な動作

AD9854との通信サイクルには2つの位相があります。位相1は命令サイクルで、先頭の8個のSCLK立ち上がりエッジで命令バイトをAD9854に書き込みます。命令バイトは、AD9854のシリアル・ポート・コントローラにデータ転送サイクルに関する情報を提供します。このデータ転送サイクルが通信サイクルの位相2になります。位相1の命令バイトは、次のデータ転送の読み出し/書き込み、および転送データの対象となるレジスタ・アドレスを指定します。

各通信サイクルの先頭の8個のSCLK立ち上がりエッジを使って、命令バイトをAD9854に書き込みます。残りのSCLKエッジは位相2の通信サイクルで使います。位相2では、AD9854とシステム・コントローラの間で、実際のデータ転送が実行されます。位相2の通信サイクルで転送されるデータ・バイト数は、レジスタ・アドレスの関数になります。AD9854の内部シリアルI/Oコントローラは、アクセスされるレジスタの各バイトが転送されるものと見なします。表VIIIに、転送すべきバイト数を示します。

表VII. レジスタ・アドレスと転送するデータ・バイト数

シリアルレジスタアドレス	レジスタ名	転送バイト数
0	位相オフセット・チューニング・ワード・レジスタ#1	2バイト
1	位相オフセット・チューニング・ワード・レジスタ#2	2バイト
2	周波数チューニング・ワード#1	6バイト
3	周波数チューニング・ワード#2	6バイト
4	デルタ周波数レジスタ	6バイト
5	更新クロック・レートレジスタ	4バイト
6	ランプ・レートクロック・レジスタ	3バイト
7	コントロール・レジスタ	4バイト
8	Iバス・デジタル乗算器レジスタ	2バイト
9	Qバス・デジタル乗算器レジスタ	2バイト
A	整形ON/OFFキーイング・ランプ・レートレジスタ	2バイト
B	Q DACレジスタ	2バイト

各通信サイクルの終わりで、AD9854のシリアル・ポート・コントローラは、次の8個のSCLK立ち上がりエッジを、次の通信サイクルの命令バイトと見なします。さらに、IO RESETピンにアクティブ・ハイが入力されると、現在の通信サイクルを直ちに終了させます。IO RESETピンがローに戻ると、AD9854のシリアル・ポート・コントローラは、次の8個のSCLK立ち上がりエッジが次の通信サイクルの命令バイトとして求めます。

AD9854へのすべてのデータ入力、SCLKの立ち上がりエッジでレジスタに取り込まれます。すべてのデータは、SCLKの立ち上がりエッジでAD9854から出力されます。

図51と図52は、AD9854シリアル・ポートの一般的な動作を理解するために役立ちます。

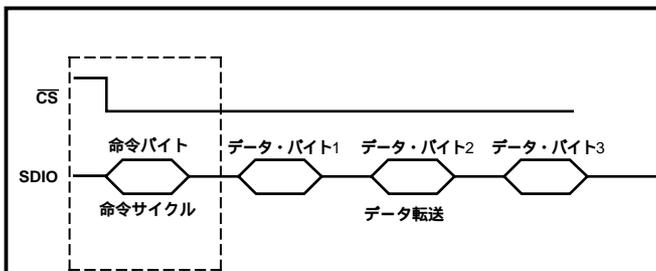


図51 SDIOをRead / Write転送に使用

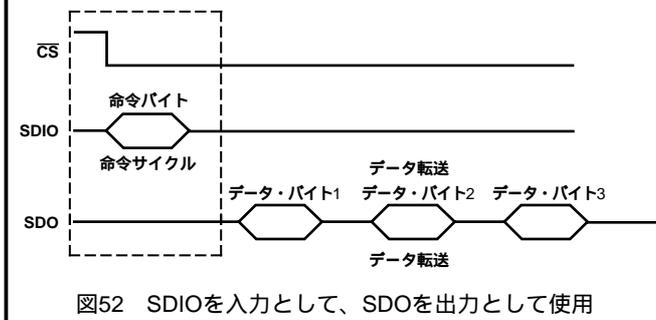


図52 SDIOを入力として、SDOを出力として使用

命令バイト

命令バイトには、以下の情報が含まれます。

表VIII. 命令バイトの情報

MSB	D6	D5	D4	D3	D2	D1	LSB
R/W	X	X	X	A3	A2	A1	A0

R/W 命令バイトのビット7は、命令バイトの書き込みの後に、読み出しデータ転送と書き込みデータ転送のどちらを行うかを指定します。ロジック・ハイは読み出し動作を、ロジック・ローは書き込み動作を、それぞれ示します。

命令バイトのビット6、5、4は注意なしです。

A3、A2、A1、A0 命令バイトのビット3、2、1、0は、通信サイクルのデータ転送部分でアクセスするレジスタを指定します。レジスタ・アドレスの詳細については、表VIIIを参照してください。

シリアル・インターフェース・ポート・ピンの説明

SCLK

シリアル・クロック（ピン21）。シリアル・クロック・ピンは、AD9854に入/出力するデータを同期化し、内部状態・マシンを動作させるのに使います。SCLKの最大周波数は10MHzです。

CS

チップ・セレクト（ピン22）。アクティブ・ローを入力して、同一シリアル通信ラインに接続されている複数のデバイスをイネーブルします。この入力が高になると、SDOピンとSDIOピンが高インピーダンス状態になります。各通信サイクルでハイに駆動されると、CSが再度ローになるまで、そのサイクルは停止されます。SCLKの制御を維持するシステムでは、チップ・セレクトをローに接続しておくことができます。

SDIO

シリアル・データI/O（ピン19）。このピン上のデータは常にAD9854に書き込まれますが、双方向データ・ラインとして使用することもできます。ピンの設定は、レジスタ・アドレス20hのビット0で制御されます。デフォルトはロジック“0”で、SDIOピンは双方向に設定されます。

SDO

シリアル・データ出力（ピン18）。データの送信と受信に別ラインを使用するプロトコルでは、このピンからデータが読み込まれます。AD9854がシングル双方向I/Oモードで動作する場合は、このピンはデータを出力しないで、高インピーダンス状態になります。

IO RESET

I/Oポート（ピン17）を同期化します。アドレス可能なレジスタの値を変更せずにI/Oポート・状態・マシンを同期化します。IO RESETピンにアクティブ・ハイを入力すると、実行中の通信サイクルを停止させます。IO RESETがローに戻ると（ロジック“0”）、次の通信サイクルが開始し、命令バイトの書き込みから開始できます。

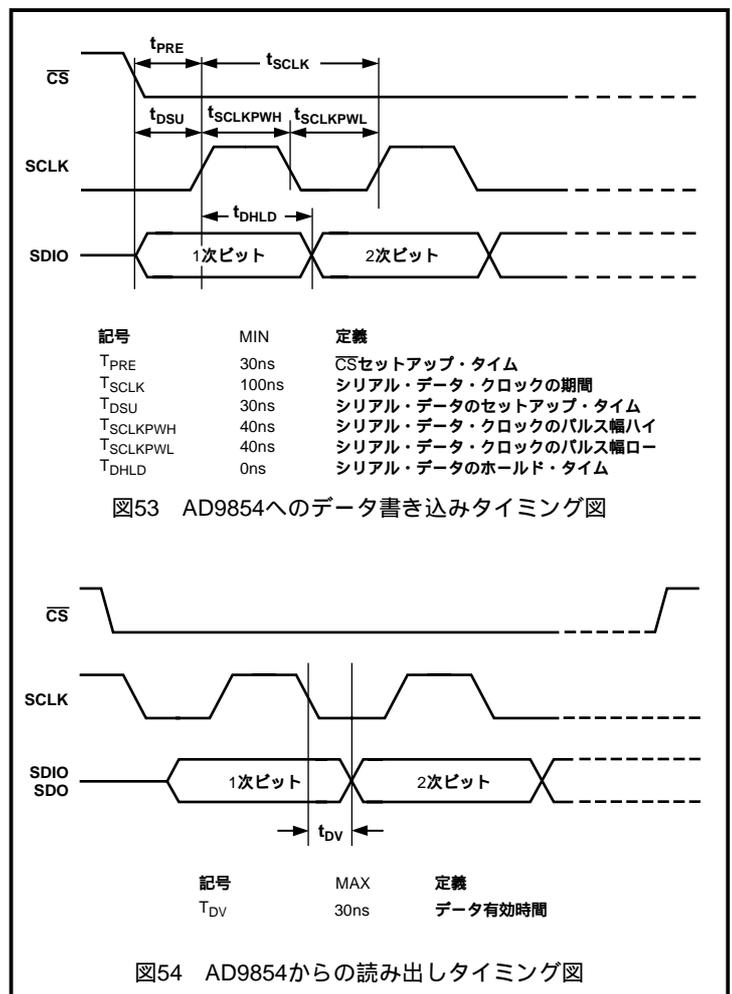
シリアル・ポート動作に関する注意点

AD9854シリアル・ポート設定ビットは、レジスタ・アドレス20hのビット1とビット0に配置されています。有効なI/O更新の

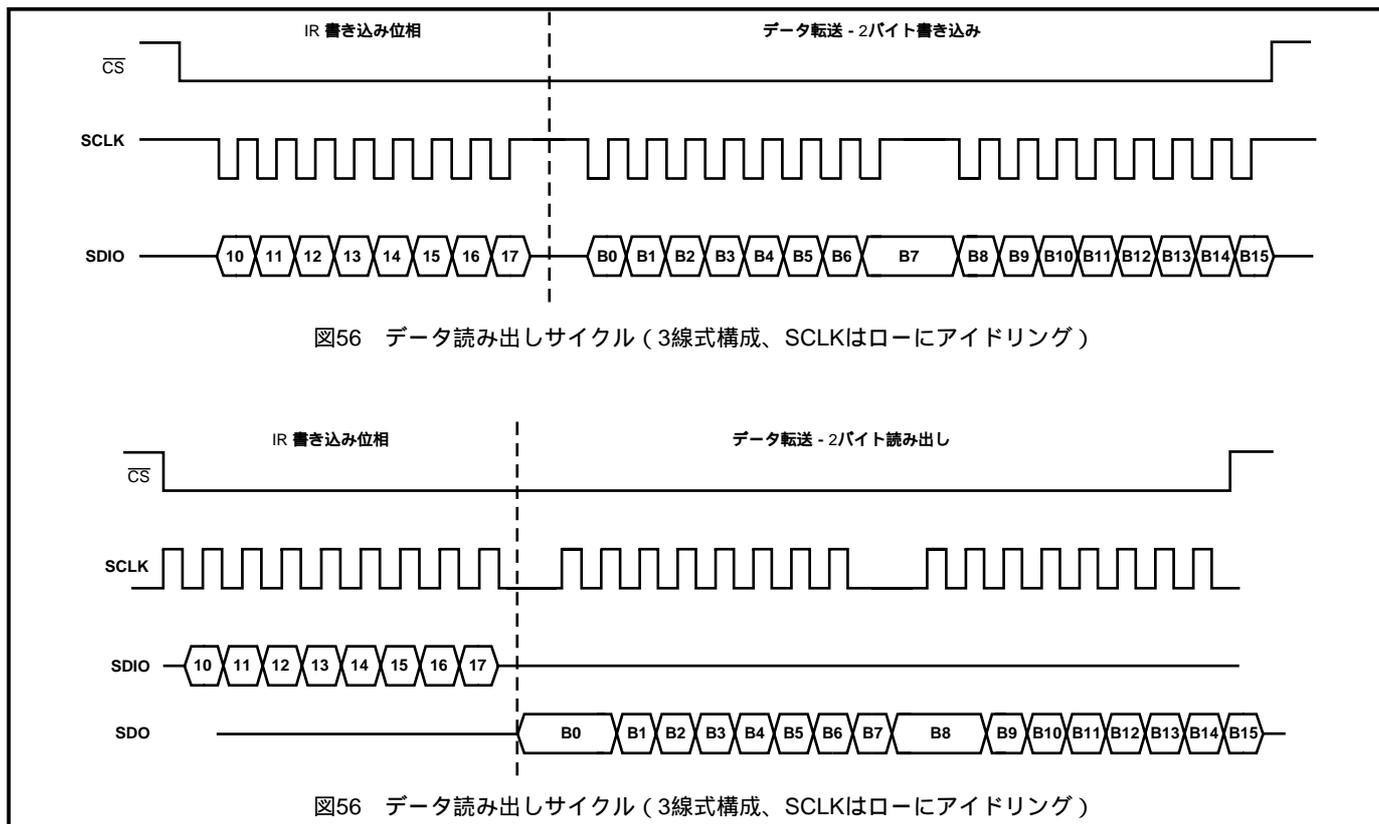
直後に設定は変更されるため、注意が必要です。マルチバイト転送の場合、このレジスタへの書き込みが、通信サイクルの途中で発生することがあります。実行中の通信サイクルの残りの部分に対して、この新しい設定の補償を行うように注意してください。

システムはAD9854との同期を維持する必要があります。そうしないと、内部制御ロジックは、それ以後の命令を認識できません。例えば、システムが2バイト・レジスタに書き込みを行う命令を送る場合、3バイト・レジスタ用のパルスをSCLKピンに入力すると（24個のSCLK立ち上がりエッジが不足）、通信の同期が失われてしまいます。この場合、命令サイクルに続く最初の16個のSCLK立ち上がりエッジが最初の2データ・バイトをAD9854に正しく書き込みますが、次の8個のSCLK立ち上がりエッジは直前の通信サイクルの最終バイトではなく、次の命令バイトとして解釈されてしまいます。

システムとAD9854間の同期が失われた場合、IO RESETピンを使って、チップ全体を再初期化せずに再同期化を行う方法があります。IO RESETピンをアサートすると（アクティブ・ハイ）、AD9854シリアル・ポート・ステート・マシンがリセットされて実行中のIO動作を終了して、後続の8個のSCLK立ち上がりエッジが命令バイトとして解釈される状態にAD9854を設定します。次の命令バイトの書き込みが開始されるまで、SYNC IOピンはディアサート状態（ロー）にしておく必要があります。同期が失われる前に有効な通信サイクルでAD9854レジスタに書き込まれたすべての情報は、保持されています。



AD9854



MSB/LSB転送

AD9854のシリアル・ポートは、MSB先頭またはLSB先頭のデータ・フォーマットをサポートしています。この機能は、シリアル・レジスタ・バンク20hのビット1を使って制御します。ビットをアクティブ・ハイに設定すると、AD9854シリアル・ポートはLSB先頭フォーマットに設定されます。このビットをデフォルトのローに設定すると、MSB先頭フォーマットに設定されます。命令バイトは、シリアル・レジスタ・バンク20hのビット1で指定されたフォーマットで書き込みしてください。つまり、AD9854がLSB先頭モードの場合は、命令バイトを下位ビットから上位ビットの順に書き込む必要があります。

アップデート・クロック動作

AD9854のプログラミングはシステム・クロックに同期して行われ、すべてのデータはバッファ・メモリに書き込まれますが、直ちにデバイス動作には反映されません。バッファ・メモリは、システム・クロックに同期してレジスタ・バンクに転送され、レジスタ・バンク情報がデバイス動作に影響を与えるようになります。

このデータ転送は、ユーザーが設定した更新頻度で自動的に行うことも、完全にユーザーの制御下で行うこともできます。完全なユーザー制御（外部更新モードと呼びます）では、ユーザーがASICまたはDSPからI/O UD信号を駆動できます。AD9854のI/O UDピンは、外部更新モードでは入力として設定されます。I/O UDで立ち上がりエッジが検出されると、AD9854はバッファ・メモリの内容をレジスタ・バンクに転送します。この設計ではエッジ検出回路を使って、AD9854に転送データを指示しています。この回路は非常に狭い最小ハイ・パルス幅（システム・クロックの2周期分）で動作します。ユーザーがI/O UDをハイのままにしておいた場合、AD9854はレジスタ・バンクを連続

的に更新しないので、注意してください。

AD9854がバッファ・メモリのデータをレジスタ・バンクに自動的に転送する内部更新モードでは、AD9854のI/O UDピンは出力に設定されます。AD9854はI/O UDピンにハイ・パルスを出し、バッファ・メモリがレジスタ・バンクに転送されたタイミングを表示します。最小ハイ・パルス幅は、システム・クロックの8サイクル分（最小）です。I/O UD信号は、システム内の割り込み信号として使用できます。I/O UDピン出力は、低い更新レートでは50/50デューティ・サイクルにならないので注意してください。

更新クロック・レジスタを5未満の値に設定すると、I/O UDピンがハイのままになります。それでも更新クロック機能は動作していますが、データ転送のタイミングを表示する信号としては使用できません。これは、I/O UDが出力に設定されている場合の最小ハイ・パルス幅に起因しています。

内部更新クロック動作に対しては、更新を行うレートを更新クロック・レジスタに設定します。更新クロック・レジスタは32ビットで、レジスタに書き込まれる値は、各更新の間に存在するクロック・サイクル数の1/2に対応します。すなわち、値00_00_00_0A (hex) が更新クロック・レジスタに書き込まれた場合、I/O UDピンの立ち上がりエッジは20サイクル毎に発生します (0A hex = 10 (10進数))。

コントロール・レジスタ

コントロール・レジスタは、表Vに網点表示したアドレス1D ~ 20hexの領域に配置されており、32ビットで構成されています。ビット31は表の網点部分の左上の位置に、ビット0は網点部分の右下の位置に、それぞれ対応します。レジスタは、それぞれの制御分野に対応するテキストを見つけ易くするため区分して表示してあります。

パワーダウン機能

AD9854は、パワーダウン用の4ビットを備えます。各ビットはアクティブ・ハイです。デフォルトはローで、ロジック“1”に設定すると、パワーダウン機能が有効になります。この4ビットはすべて同じコントロール・バイト内に配置されており、1回のIO書き込みサイクルで全4ビットに“真”を同時に書き込むことにより、フル・パワーダウンが行えます。この4ビットは、コントロール・レジスタ[28、26:24]に配置されており、以下にそれぞれについて説明します。これらのビットのデフォルト状態はロジック“0”(非アクティブ)です。

CR[31~29]はオープン

CR[28]は、コンパレータのパワーダウン・ビットです。セットされると(ロジック“1”)この信号は、パワーダウン・モードがアクティブであることをコンパレータに知らせます。このビットはデジタル部からの出力で、アナログ部に入力されます。

CR[27]には常にロジック“0”を書き込んでおいてください。ロジック“1”を書き込むと、マスター・リセットが入力されるまで、AD9854の動作が停止します。

CR[26]はQ DACパワーダウン・ビットです。セットされると(ロジック“1”)この信号はパワーダウン・モードがアクティブであることをQ DACに知らせます。

CR[25]はフルDACパワーダウン・ビットです。セットされると(ロジック“1”)この信号はパワーダウン・モードがアクティブであることをI DAC、Q DACとリファレンスに知らせます。

CR[24]はデジタル・パワーダウン・ビットです。セットされると(ロジック“1”)この信号はパワーダウン・モードがアクティブであることをデジタル部に知らせます。デジタル部ではクロックがDCレベルに引き下げられ、デジタル部がパワーダウンされます。REFCLK入力は引き続きPLLに使用され、PLLは高周波数の出力を続けます。

REFCLK乗算用PLL機能

コントロール・レジスタ内[22~16]の位置には、PLLに関係する7つのコントロール・レジスタ・ビットが配置されています。

CR[23]は予約済みなので、ゼロを書き込みます。

CR[22]は、VCOゲインを制御するPLL範囲ビットです。パワーアップ時の状態はロジック“1”になり、200MHz超の周波数用の高いゲインを指定しています。

CR[21]はアクティブ・ハイのPLLバイパス・ビットです。アクティブに設定されると、PLLがパワーダウンされて、REFCLK入力がシステム・クロック信号の駆動に使われます。パワーアップ時の状態はロジック“1”で、PLLはバイパスされます。

CR[20~16]ビットはPLLの乗算の倍率です。PLLバイパス・ビットがセットされない限り、REFCLKはこれらのビットの値で乗算されます。PLL倍率の有効範囲は4~20xです。

その他の動作機能

CR[15]はクリア・アキュムレータ1ビットで、ワンショット型の機能を備えています。アクティブ・レベルを書き込むと(ロジック“1”)クリア・アキュムレータ1の信号がDDSロジックに送られて、アキュムレータ値をゼロにリセットします。その後で自動的にリセットされますが、バッファ・メモリはリセットされません。このビットを使うと、殆ど(または全く)ユーザ

ー入力なしで、鋸波型の周波数掃引パターンを容易に発生できます。掃引モード専用ですが、他のモード時に機能を無効にするロジックは内蔵していません。

CR[14]はクリア・アキュムレータ・ビットです。アクティブ・ハイに設定すると、その期間中、アキュムレータ1、2の値をゼロに維持します。この機能により、I/Oポート経由でのDDS位相の初期化が可能になります。

CR[13]はTRIANGLEビットです。セットすると、AD9854はF1周波数からF2周波数へと、再びF1周波数へ戻る連続周波数掃引を自動的に実行し、三角波の周波数掃引を発生させます。セット中は、動作モードをランプ型FSKに設定しておく必要があります。

CR[12]は、AD9854専用のソースQ DACビットになります。セットされると、QパスDACはQDACレジスタからのデータを入力します。QパスDACに入力可能なデータはQDACレジスタだけなので、AD9854に対しては、ロジック“1”を設定する必要はありません。

CR[11~9]は、AD9854の次の5種類の動作モードを指定する3つのビットです。

0h = シングル・トーン・モード

1h = FSKモード

2h = ランプ型FSKモード

3h = 掃引モード

4h = PSKモード

CR[8]は内部アップデート・アクティブ・ビットです。ロジック“1”を設定すると、I/O UDピンが出力になり、AD9854がI/O UD信号を生成します。ロジック“0”を設定すると、外部I/O UD機能が実行され、I/O UDピンが入力になります。

CR[7]は予約されています。ゼロを書き込みます。

CR[6]は反転SINCフィルタのバイパス・ビットです。セットされると、DDSブロックから出力されるデータが出力整形キーイング・ロジックに直接入力されて、反転SINCフィルタへのクロック入力が停止されます。デフォルトではクリアされており、フィルタはイネーブルになっています。

CR[5]は整形キーイング・イネーブル・ビットです。セットされると、出力ランピング機能がイネーブルになり、CR[4]ビットの条件に従って実行されます。

CR[4]は内部/外部出力整形キーイングのコントロール・ビットです。ロジック“1”が設定されると、整形キーイング係数が内部で発生されて、IパスおよびQパスに適用されます。クリアされると、出力整形キーイング機能が外部から制御できるようになり、整形キーイング係数としてIおよびQの出力整形キーイング係数レジスタ値が使用されます。デフォルトとしては、ローの外部整形キーイング係数が使用されます。整形キーイング係数を保持する2個のレジスタのデフォルト値もローであり、パワーアップ時に出力がOFFになり、AD9854がユーザーにプログラムされるまでこの状態を維持するようになっています。

CR[3~2]は予約されています。ゼロを書き込みます。

CR[1]はシリアル・ポートMSB/LSB先頭切り換えビットです。デフォルトはローで、MSB先頭が指定されています。

CR[0]はシリアル・ポートSDOアクティブ・ビットです。デフォルトはローで、非アクティブが指定されています。

AD9854

消費電力と熱に関する考慮

AD9854は、広範なシンセサイザとクロック追従型アプリケーションを対象にした、多機能で極めて高速のデバイスです。内蔵の多くの革新的な機能のセットは、それぞれ消費電力の一部を消費しています。これらをイネーブルにする組み合わせによっては、その合計消費電力がデバイスの安全な熱的動作条件を超える場合があります。消費電力と熱管理についての慎重な解析と配慮が、AD9854を使用するアプリケーションでは重要な要素になります。

AD9854は、工業用温度範囲 - 40 ~ + 85 で動作するよう仕様規定されています。ただし、この仕様には絶対最大接合温度が 150 を超えないという条件が付いています。高温での動作に対しては、この接合温度を超えないようにデバイス動作に最大の注意を払う必要があります。この接合温度を超えると、温度状態に損傷を与えることがあります。

デバイス内部の動作接合温度には、以下を含む、多くの変動要因が関係します。

1. パッケージ・スタイル
2. 動作モードの選択
3. 内部システム・クロック速度
4. 電源電圧
5. 周辺温度

これらの変動要因の組み合わせによって、与えられた動作条件のセットに対するAD9854内部の接合温度が決定されます。

AD9854は、露出型ヒートシンクを備えた熱効率拡張型表面実装パッケージと、非熱効率拡張型表面実装パッケージの2種類のパッケージ・スタイルで供給されます。自然空冷条件での両パッケージの熱インピーダンスは、それぞれ16 mW と38 mW です。

熱インピーダンス

パッケージの熱インピーダンスは、半導体表面と周辺空気との間に存在する熱抵抗と考えられます。パッケージの熱インピーダンスは、パッケージの材質とその物理的な寸法によって決定されます。パッケージからの熱放散は、周辺空気の条件および、ICパッケージとPCB間の物理的な接続に直接依存します。AD9854からの熱放散が適切か否かは、PCB上の銅プレーンに直接ハンダ付けされた、デバイスの全電源ピンとグラウンド・ピンに依存します。さらに、AD9854ASQの温度拡張型パッケージの底にはヒート・シンクが付いており、PCB表面のグラウンド・パッドにハンダ付ける必要があります。このパッドはグラウンド・プレーンなどの大きな銅プレーンに接続してください。AD9854両パッケージ・スタイルに対するソケットの使用はお奨めできません。

接合温度に関する考慮事項

あるアプリケーションにおけるAD9854の消費電力 (P_{DISS}) は、多くの動作条件により決定されます。電源電圧やクロック速度

など、 P_{DISS} と直接関係する条件もありますが、他の条件は決定的ではありません。AD9854を使用する時は、デバイス内の合計消費電力、および、その接合温度に対する影響を考慮する必要があります。デバイスの接合温度は次式で計算されます。

$$\text{接合温度} = (\text{熱インピーダンス} \times \text{消費電力}) + \text{周辺温度}$$

AD9854の接合温度が決して150 を超えず、かつ周辺温度が85 とした場合、AD9854ASTの最大消費電力は1.7Wになり、AD9854ASQ(温度拡張型パッケージ)の場合は4.1Wになります。消費電力に影響を与える要因には、次のものがあります。

電源電圧 $P_{\text{DISS}} = V \times I$ なので、消費電力と接合温度に直接影響を与えます。AD9854は全温度範囲、および電源電圧範囲3.135 ~ 3.465Vで仕様を満たすように保証されていますが、公称3.3Vで設計するようにしてください。

クロック速度 デバイスの合計消費電力、従って、接合温度に直接的・直線的に関係します。原則として、常に所定のアプリケーションをサポートできる最低速の内部クロックを選択して、消費電力を最小にする必要があります。通常、使用可能なDDSからの周波数出力帯域幅は、出力ローパス・フィルタの条件を適切にするためにクロック・レートの40%に制限されています。代表的なDDSアプリケーションに対しては、システム・クロック周波数は、希望する最高出力周波数の2.5倍とします。

動作モード AD9854の動作モードの選択は、合計消費電力に大きな影響を与えます。AD9854は多くの機能とモードを持っており、それぞれ電力増が必要です。AD9854内蔵の機能群は広範囲なアプリケーションを対象としており、特定のアプリケーションに対してはその内の数個だけがイネーブルになるものと想定して設計されています。実際、高速クロックで複数の機能をイネーブルにすると、チップの最大接合温度を超えてしまう場合があることを理解する必要があります。これが発生すると、デバイスの長期信頼性が厳しく制限される場合があります。図57に、AD9854の個々の機能に対応した電力要求の概要を示します。この表は、高信頼で動作するAD9854の最適アプリケーションを決定する参考として使用できます。

図57から判るように、反転SINCフィルタが最も大きな電力を必要とする機能なので、使用には注意と詳しい検討が必要となります。出力帯域幅内で平坦性を維持するための代替方法として、デジタル乗算機能を使って出力信号レベルを調節すると、大幅に消費電力を削減できます。機能セットを慎重な検討と管理によって使用すれば、消費電力を減少させて、IC内部の接合温度条件を超過しないようにできます。

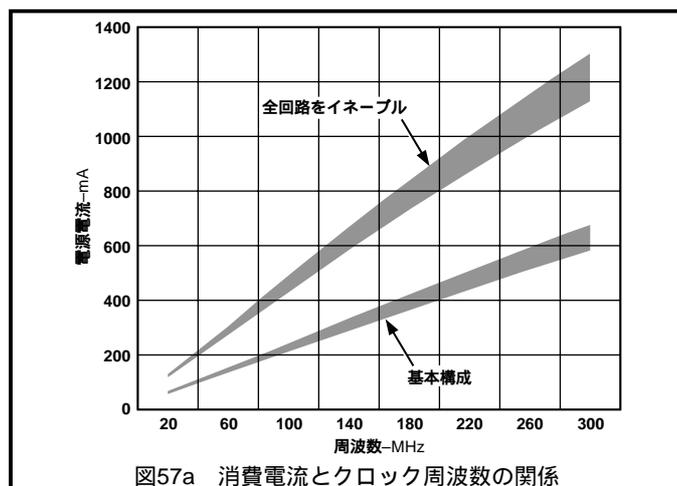


図57a 消費電流とクロック周波数の関係

図57aに、AD9854が全周波数範囲で、以下の2つの設定で消費する電源電流を示します。全回路をイネーブルするとは、出力スケール乗算器、反転SINCフィルタ、Q DAC、内蔵コンパレータをすべてイネーブルにすることを意味します。基本構成とは、出力スケール乗算器、反転SINCフィルタ、Q DAC、内蔵コンパレータをすべてディスエーブルにすることを意味します。

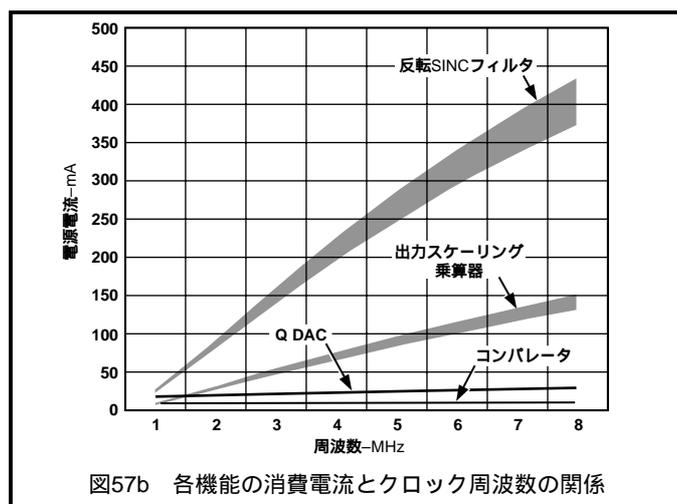


図57b 各機能の消費電流とクロック周波数の関係

図57bに、4つの各機能が消費する電流の概要を示します。

動作条件の評価

AD9854を使用する際には、内部クロック周波数の選択が最初のステップになります。200MHzを超えるクロック周波数を選択した場合、温度拡張型パッケージ（AD9854ASQ）が必要です。200MHz以下のクロック周波数を選択した場合は、標準のプラスチック表面実装パッケージを使用できますが、決定にはさらに詳しい情報が必要です。

第2ステップとして、所定のアプリケーションで必要となるAD9854の最大動作温度を求めることです。この値を150 から減算すると、AD9854が許容できる最大接合温度が得られます。85 の拡張工業用温度範囲の場合、結果は65 になります。この値が電力消費によって接合部分で発生する最大温度上昇になります。

第3ステップは、この最大温度上昇を熱インピーダンスで除算して、アプリケーションの許容できる最大消費電力を求めることです。例えば、65 をAD9854の2種類のパッケージの熱インピーダンスである38 /Wと16 /Wで除算すると、合計消費電力の許容値は、それぞれ1.7Wと4.1Wです。これは、公称電源電圧3.3Vのフル動作条件下でAD9854が消費できる電流は、標準プラスチック・パッケージの場合515mAを、温度拡張型パッケージの場合1242mAを、それぞれ超えてはならないことを意味しています。AD9854を使ったアプリケーションで、イネーブルされた機能と動作条件を組み合わせ、これらの消費電流上限を満たす必要があります。

図57aと図57bは、所定のAD9854を使ったアプリケーションで、消費電力条件の適合性の判断に使用できます。これらのグラフでは、推奨された最善の製造方法と使用するパッケージ・タイプ用のプロセスに従って、AD9854を多層PCBにハンダ付けした場合を想定しています。この方法で、確実に規定の熱インピーダンス仕様を達成できます。

AD9854

温度拡張型パッケージの実装ガイドライン

温度拡張ヒート・シンク露出型パッケージ（AD9854ASQ）のプリント回路ボードへの、一般的に推奨される実装方法を次に示します。このパッケージの優れた熱特性は、正しく機械的な取り付けがなされているか否かに完全に依存します。

図58に、パッケージの裏面図と露出型ヒート・シンクの寸法を示します。このパッドとPCB表面の間にハンダで太い導体を形成する必要があります。

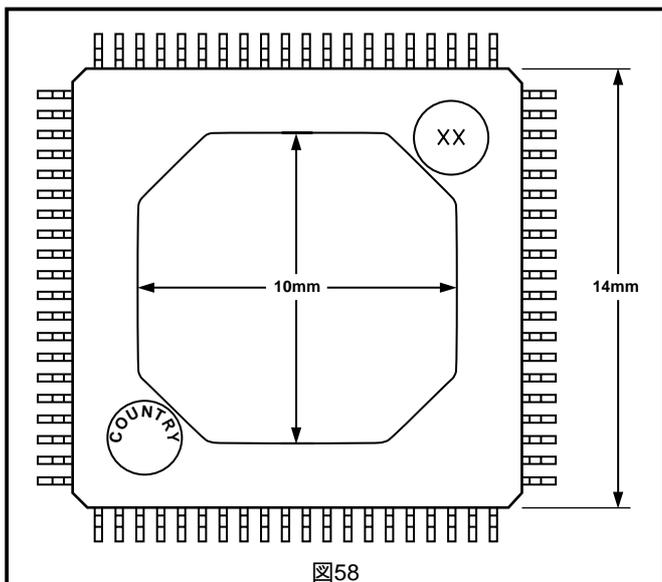


図58

図59に、このような露出型ヒート・シンク付きデバイス向けの一般的なPCBパターンを示します。このパターンは80ピンではなく64ピンのデバイス用ですが、相対的な形状と寸法は適用できます。このパターンでは、デバイスの各ピン・パターンの内側に厚い銅プレーンを設けています。ハンダ・マスクの開口部は、アセンブリ上の問題が生じないように小さめの寸法にしてあります。

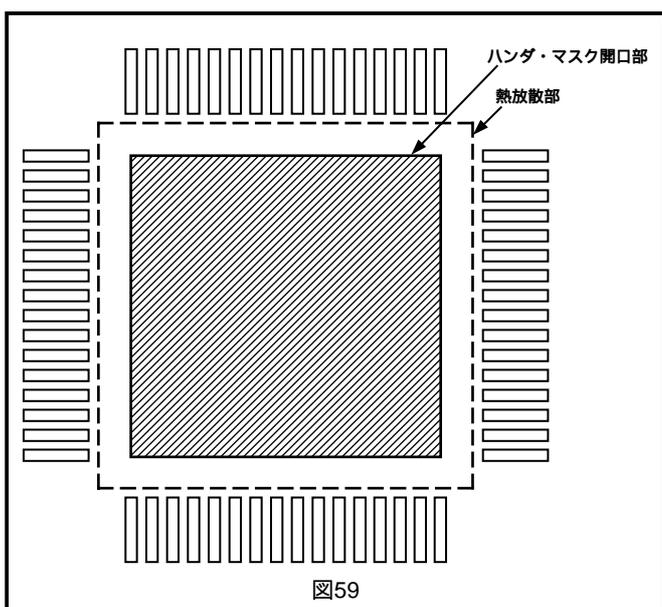


図59

熱放散部は、それ自体で内部グラウンド・プレーンなどのさらに大きな銅プレーンへ熱を逃がせる必要があります。上下接続は熱パッド全体にわたり均等に配置して、内部プレーンを接続する必要があります。推奨上下接続パターンを図60に示します。上下接続の穴は小さくして（12ミル、0.3mm）埋めることができるようにしておきます。これらは熱の移動に対する機械的な通路を構成します。

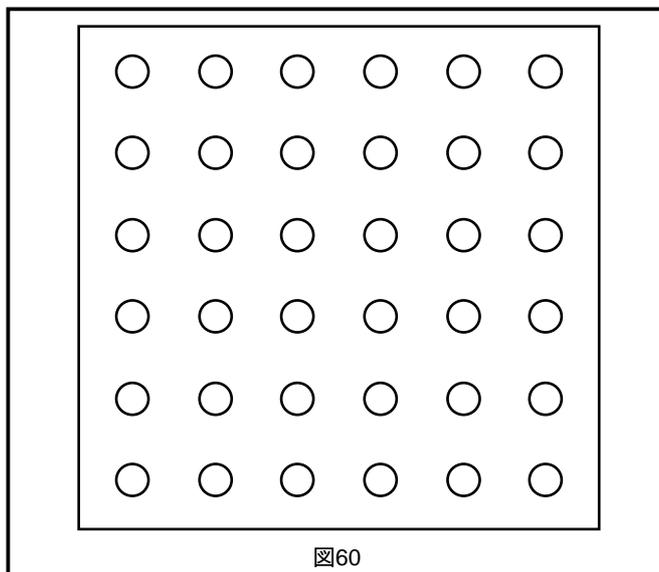


図60

最後に、図61にハンダ・スクリーン印刷用の推奨ステンシル・デザインを示します。上下接続が埋められていない場合、芯状になってしまい、そのために露出型ヒート・シンクからハンダが剥離して、必要な機械的結合が得られなくなります。

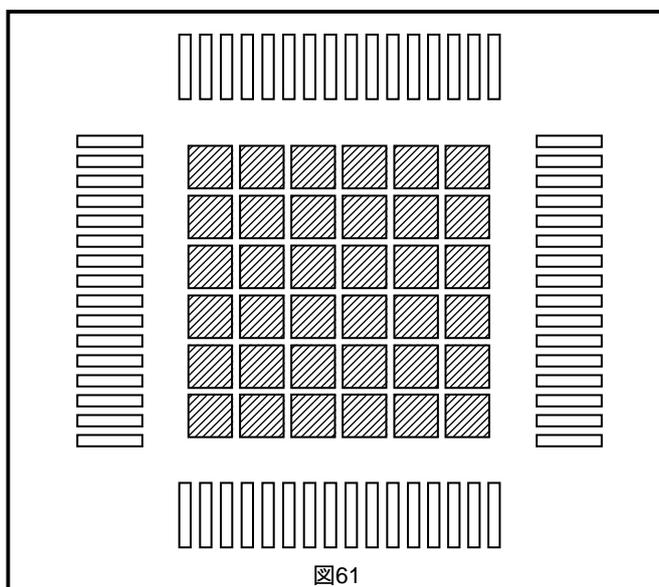


図61

評価ボード

当社では、AD9854 DDSをサポートする評価ボードを提供しています。この評価ボードは、AD9854の性能をベンチでの解析を可能にするPCB、ソフトウェア、ドキュメントで構成されています。AD9854を使用するには、まず評価ボードを使ってデバイスの動作と性能に馴染むことをお奨めします。この評価ボードをPCBの参考設計に使用して、デバイスの最適なダイナミック性能を引き出すことができます。

取り扱い説明

ピン・ヘッダー・ショート・ジャンパを正しく設定できるように、この説明では方向(上下左右)と短絡するヘッダー・ピンを参照します。各3つのピン・ヘッダーのピン#1は、回路図に対応してPCB上にマークを付けてあります。以下の説明を使う時には、テキストが左から右に読めるようにPCBの向きを定めてください。ボードは、次のようにピン・ヘッダーを設定して出荷されています。

- AD9854のREFCLKは差動に設定されています。差動クロック信号は100LVVEL16差動レシーバから供給されます。
- 100LVVEL16の入力クロックは、シングル・エンドでJ5を経由します。この信号は3.3V CMOS、または50 (R8) を駆動できる2Vp-pのサイン波とすることができます。
- AD9854の両DAC出力は、2つの120MHz楕円LPフィルタ経由で、出力J3(Q)とJ4(I)に接続されています。
- ボードは、プリンタ・ポート・コネクタ経由でのソフトウェア制御に設定されています。
- AD9854動作用に設定されています。

ソフトウェアをCDからホストPCのハード・ディスクにロードします。ソフトウェアはWindows 9X、NTオペレーティング・システムしかサポートしていません。PCに接続したプリンタ・ケーブルをAD9854評価ボードのプリンタ・ポート・コネクタ(J11)に接続します。

スクリー・ダウン・ターミナルを使って電源をコネクタ(TB1)に接続します。これはプラスチック・コネクタ、ボードにハンダ付けされた4ピン・ヘッダーに差し込みます。表IXに各ピンに対する接続を示します。DUTは被テスト・デバイスを表します。

表IX DUT (被テスト・デバイス) ピンの電源条件

AVDD 3.3V 全DUTアナログ ピン用	DVDD 3.3V 全DUTデジタル ピン用	VCC 3.3V その他の 全デバイス用	グラウンド 全デバイス用

REFCLKの接続

信号源として次の3つの選択が可能です。

- 内蔵(オプション)の水晶クロック発振器(Y1)
該当する3.3VのCMOSクロック発振器を挿入します。短絡用ジャンパ(W5)がピン1とピン2(左の2ピン)に設定されていることを確認します。この設定により、シングル・エンド発振器出力が非常に高速の差動レシーバ(MC100LVVEL16)に接続され、ここで信号は差動PECL出力に変換されます。差動出力信号をAD9854に接続するときは、さらに2個のスイッチを設定する必要があります。W9ではピン2とピン3(右の2ピン)に短絡用ジャンパが設定される必要があります。AD9854のW3の差動クロック・モードを使用するときは、ピン2とピン3(右の2ピン)を短絡用ジャンパで接続する必要があります。

2. 外部差動クロック入力(J5)

これは実際には、差動PECL出力に変換するためにMC100LVVEL16に接続される、もう一つのシングル・エンド入力です。この入力は、2Vp-pのクロック信号源またはサイン波信号源をJ5に接続して行われます。これはR8で設定される50インピーダンス・ポイントであることに注意してください。入力信号はAC結合され、その後でMC100LVVEL16の中心スイッチング・スレシールドにバイアスされます。W5の短絡用ジャンパをピン2とピン3(右の2ピン)に設定して、J5の信号を差動レシーバICに接続します。この差動出力信号をAD9854に接続するためには、さらに2個のスイッチを設定する必要があります。W9では、短絡用ジャンパをピン2とピン3(右の2ピン)に設定してください。AD9854のW3の差動クロック・モードを使用するときは、ピン2とピン3(右の2ピン)を短絡用ジャンパで接続する必要があります。

3. 外部シングルエンド・クロック入力(J7)

このモードでは、MC100LVVEL16をバイパスして、リファレンス・クロックでAD9854を直接駆動します。1.65VにDCオフセットされた50の2Vp-pサイン信号源または50のCMOSレベル・クロック信号源をJ7に接続します。W5から短絡用ジャンパを取り外し、デバイス(U3)がトグルまたは自己発振しないことを確認します。W9の短絡用ジャンパをピン1とピン2(左の2ピン)に設定して、J7からのREFCLK信号をAD9854のピン69に接続します。最後に、W3の短絡用ジャンパをピン1とピン2(左の2ピン)に設定して、AD9854をシングル・エンド・クロック・モードに設定します。

信号源に無関係に、AD9854に到着する信号はリファレンス・クロックと呼ばれます。内蔵REFCLK乗算器を使用する場合は、この信号がREFCLK乗算器のリファレンス・クロックに、REFCLK乗算器の出力がシステム・クロックになります。REFCLK乗算器のバイパスを選択する場合は、入力したリファレンス・クロックがAD9854を直接動作させてシステム・クロックになります。

スリー・ステート制御(スイッチ・ヘッダーW11、W12、W14、W15)を短絡して、添付ソフトウェアがプリンタ・ポート・コネクタ(J11)を経由してAD9854評価ボードを制御できるようにします。

当社ソフトウェアを使用したホストPCからのAD9854のプログラミングを行わない場合は、ヘッダーW11、W12、W14、W15をオープン(短絡用ジャンパを取り外す)のままにしておきます。こうするとPCインターフェースが切り離されて、40ピンのヘッダー(J10)はバス競合なしで制御可能になります。J10のAD9854への入力信号は、3.3VのCMOSロジック・レベルにしてください。

ローパス・フィルタのテスト

2ピン・ヘッダーW7とW10(J1とJ2に対応)の機能は、フィルタ入力に接続された他の回路からの干渉なしで、PCBのアセンブリ中に2個の50の120MHzフィルタをテストできるようにすることです。通常は、短絡用ジャンパが各ヘッダーに設定されており、DAC信号がフィルタに接続されるようになっています。フィルタをテストする場合は、W7とW10の短絡用ジャンパを取り外して、50のテスト信号をJ1、J2入力に接続して50の楕円フィルタに入力します。その他の短絡用ジャンパの位置については、図62とその後の説明を参照してください。

AD9854

フィルタ処理なしのIOUT1とフィルタ処理なしのIOUT2、2つのDAC信号の観測

J4(“ I ”信号)とJ1(“ Q ”信号)でフィルタ処理なしの2つのDAC出力を観測することができます。次に示す手順により、簡単に、2つの50 Ωで終端されたアナログDAC出力をBNCコネクタに接続して、他の回路を切り離せません。DACの生の出力は、一連の量子化された出力レベル(ステップ数で表現)で構成されています。デフォルトの10mA出力電流では、内蔵50 Ω終端抵抗の両端に0.5Vp-pの信号が発生します。外部50 Ω入力に接続すると、ダブル終端を行っているため、DACは0.25Vp-pを発生します。

1. W7とW10に短絡用ジャンパを設定します。
2. W16の短絡用ジャンパを取り外します。
3. 3ピン・ヘッダーW1から短絡用ジャンパを取り外します。
4. 3ピン・ヘッダーW4のピン1とピン2(下の2ピン)に短絡用ジャンパを設定します。

フィルタ済みIOUT1とフィルタ済みIOUT2の観測

J4(“ I ”信号)とJ3(“ Q ”信号)でフィルタ済みのI DAC出力およびQ DAC出力を観測することができます。この設定により、50 Ω(入/出力インピーダンス)ローパス・フィルタをI DACおよびQ DACのパスに挿入して、DC~約120MHzのバンドパス上にあるイメージ信号、折り返し高調波、その他のスプリアス信号を除去します。これらの信号は純粋なサイン波の近傍に存在し、位相が互いに正確に90度異なっています。これらのフィルタは、システム・クロック速度が最大周波数(300MHz)または付近にあると想定して設計されています。使用するシステム・クロックが300MHzよりかなり低い時、例えば200MHzの場合は、基本周波数信号以外の不要なDAC成分がローパス・フィルタを通過してしまいます。

1. W7とW10に短絡用ジャンパを設定します。
2. W16に短絡用ジャンパを設定します。
3. 3ピン・ヘッダーW1のピン1とピン2(下の2ピン)に短絡用ジャンパを設定します。
4. 3ピン・ヘッダーW4のピン1とピン2(下の2ピン)に短絡用ジャンパを設定します。
5. 3ピン・ヘッダーW2とW8のピン1とピン2(上の2ピン)に短絡用ジャンパを設定します。

フィルタ済みIOUTとフィルタ済みIOUTBの観測

これによって、J4(“ 非反転 ”信号)とJ3(“ 反転 ”信号)でのフィルタ済みI DAC出力だけを観測できます。120MHzローパス・フィルタをI DACの非反転出力パスと反転出力パスに挿入して、約120MHzより上に存在するイメージ信号、折り返し高調波信号、その他のスプリアス信号を除去します。これらの信号は純粋なサイン波の近傍に存在し、位相が互いに正確に180度異なっています。この場合も、使用するシステム・クロックが300MHzよりかなり低い時、例えば200MHzの場合は、基本周波数信号以外の不要なDAC成分がローパス・フィルタを通過してしまいます。

1. W7とW10に短絡用ジャンパを設定します。
2. W16に短絡用ジャンパを設定します。
3. 3ピン・ヘッダーW1のピン2とピン3(上の2ピン)に短絡用ジャンパを設定します。
4. 3ピン・ヘッダーW4のピン2とピン3(上の2ピン)に短絡用ジャンパを設定します。

5. 3ピン・ヘッダーW2とW8のピン1とピン2(上の2ピン)に短絡用ジャンパを設定します。

高速コンパレータをDAC出力信号に接続する時は、上述の直交フィルタ出力設定または反転フィルタ出力設定を選択してください。希望のフィルタ設定については、上のステップ1~4に従ってください。下記のステップ5では、フィルタ済み信号をコネクタ(J3とJ4)から100 Ωに設定されたコンパレータ入力に接続します。この設定により、コンパレータは差動入力に設定され、コンパレータ出力のデューティ・サイクルは制御されません。この設定では、コンパレータ出力のデューティ・サイクルは約50%になります。

5. 3ピン・ヘッダーW2とW8のピン2とピン3(下の2ピン)に短絡用ジャンパを設定します。

R_{SET} 抵抗のR2を3.9k Ωから2k Ωに変更すると、コンパレータ入力により確かな信号を得られます。この変更により、ジッターが減り、コンパレータの動作範囲が広がられます。この変更は、実装済みのR2と並列に2つ目の3.9k Ωチップ抵抗をハンダ付けして、行うことができます。

シングルエンド設定での高速コンパレータの接続

この接続により、デューティ・サイクルまたはパルス幅の制御が可能になりますが、コンパレータ入力の1つにDCスレショルド電圧を入力することが必要です。この電圧は“ Q DAC ”から供給できます。この場合、ソフトウェア制御、または2ピン・ヘッダーW6の短絡用ジャンパを取り外すことにより、Q DACをコントロール用DACとして設定しておく必要があります。IOUT2出力をスタティックDCレベルに設定する、12ビットの2の補数値をQ DACレジスタに書き込みます。使用可能な16進値は7FF(最大)~80(最小)で、全ビット“ 0 ”がミッドスケールを表します。IOUT1チャンネルは、ユーザーが設定したフィルタ済みサイン波の出力を継続しています。これらの2つの信号は、3ピン・ヘッダー・スイッチ(W2とW8)を使ってコンパレータ入力に接続できます。上述の「フィルタ済みIOUTとフィルタ済みIOUTBの観測」での設定を使用してステップ1~4を実行し、次に下記のステップ5を実行します。

5. 3ピン・ヘッダーW2とW8のピン2とピン3(下の2ピン)に短絡用ジャンパを設定します。

R_{SET} 抵抗を3900 Ωから1950 Ωに変更すると、コンパレータ入力により確かな信号を得られます。この変更により、ジッターが減り、コンパレータの動作範囲が広がられます。この変更は、実装済みのR2と並列に2つ目の3.9k Ωチップ抵抗をハンダ付けして、行うことができます。

AD9854/PCB評価ボード用の制御ソフトウェアは、CDで提供しています。この短い説明書は、AD9854/PCB評価ボードの回路図と組み合わせて使う必要があります。周波数情報や位相情報などの幾つかの数値項目の入力では、ENTERキーを押してその情報を登録する必要があります。

1. 該当するプリンタ・ポートを選択します。メニュー・バー内の“Parallel Port”の選択をクリックします。ユーザーのPCに該当するポートを選択します。不確かな場合は、選択したポートで次の内容を実行して確かめます。デバイスの電源をONにし、クロックを正しく入力してPCに接続し、ポートを選択して“Mode and Frequency”メニューに進み、“Reset DUT and Initialize Registers”ボタンをクリックします。次に“Clock and Amplitude”メニューに進みます。そこで、“Bypass Inverse Sinc Filter”の隣にあるボックスをクリックします。すると、ボックスにチェック・マークが表示されます。次に“Send Control Info to DUT”ボタンをクリックします。正しいポートが選択されている場合、反転SINCフィルタをバイパスした場合、AD9854/PCB評価ボードを流れる電源電流が約1/3に低下します。反転SINCフィルタを使用すると、逆に、電源電流が約1/3だけ増加します。
2. AD9854/PCB評価ボードの通常動作は、マスター・リセットによって開始します。リセット直後の多くのデフォルト・レジスタ値は、ソフトウェアの“control panel”に表示されます。リセット・コマンドはDDS出力振幅を最小または0Hz、位相オフセット0に設定し、その他はデータシートのAD9854レジスタ配置表に記載された状態に設定します。
3. 次の設定ブロックは、“Reference Clock and Multiplier”にしてください。これは、入力する48ビットの正しい周

波数チューニング・ワードを決めるために、この情報を使う必要があるためです。この値は後で計算します。

4. デフォルトの出力振幅として、IおよびQ乗算器レジスタに12ビットのストレート・バイナリ乗算値000hexを設定しているため、両DACの出力はありません。そこで、代わりの値（FFFhexなど）を出力振幅ウインドウ内で両乗算器振幅に設定します。ボックス“Output Amplitude is always Full-Scale”をクリックして、デジタル乗算器をバイパスできますが、バイパスすると最善のSFDRが得られないことが、経験的に判っています。信号をデジタル乗算器を通過させた後に乗算器振幅に戻すと、11dB以上の最善のSFDRが得られることは興味深いことです。例えば、FC0hexの方がFFF hexの時より発生するスプリアス信号振幅が少なくなります。これは再現して見られる現象であり、最大SFDR（スプリアス・フリー・ダイナミック・レンジ）を改善するために調査すべき現象です。
5. ユーザーが使用できるAD9854のすべての機能を理解するため、またプログラミング・コマンドに対する応答としてソフトウェアが実行する内容を理解するためには、このデータシートと評価ボード回路図を参照してください。

AD9854、AD9854/PCB評価ボード、その他のすべてのアナログ・デバイス製品に対するアプリケーションの支援を行っています。お問い合わせください。

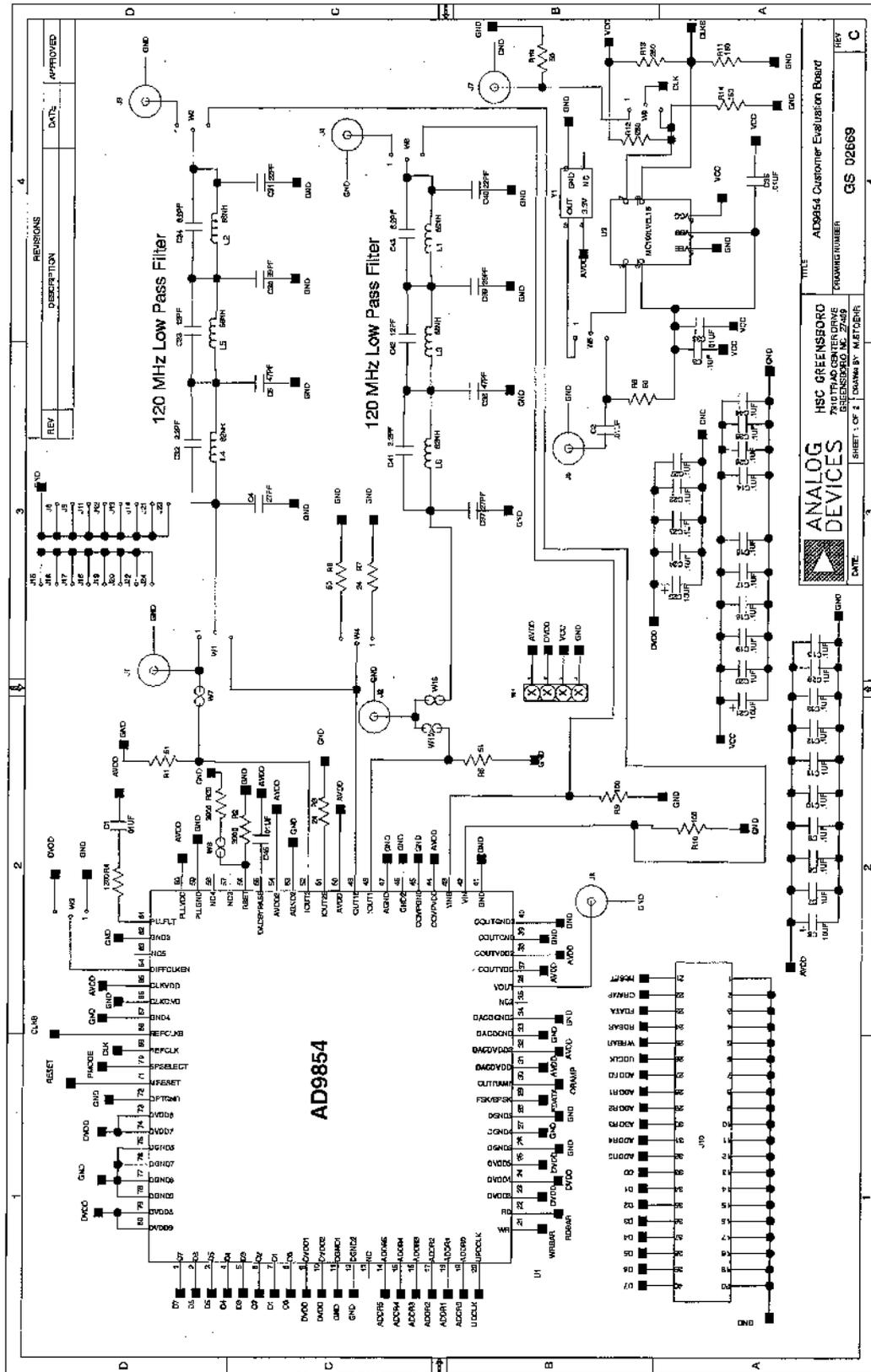
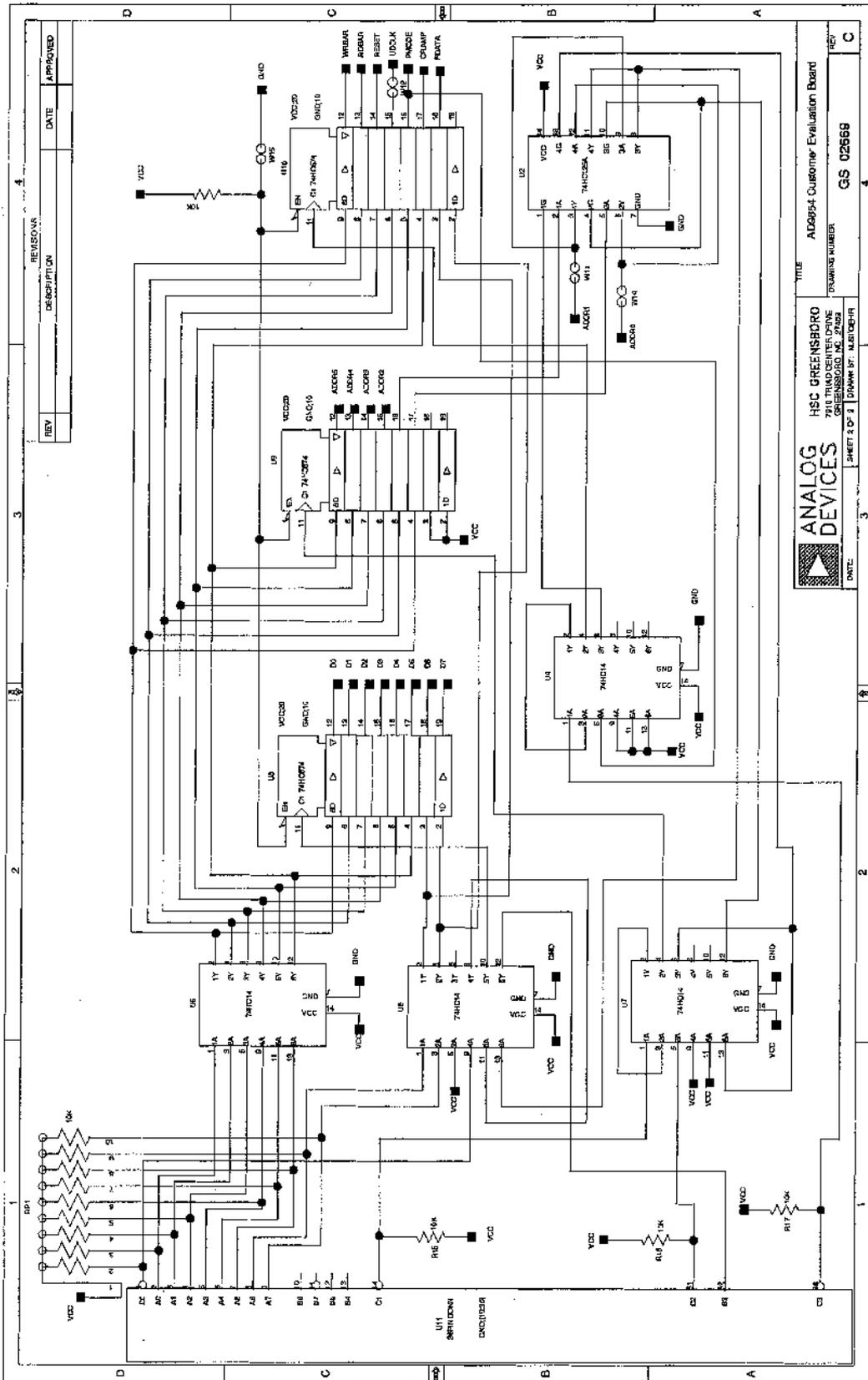


図62a 評価ボードの回路図



REV	DESCRIPTION	DATE	APPROVED

ANALOG DEVICES HSC GREENSBORO 770 TRADE CENTER GREENSBORO, NC 27409		TITLE AD9854 Customer Evaluation Board
DATE:	SHEET 2 OF 3	DRAWN BY: MARIOT/HR GS 02669

図62b 評価ボードの回路図

AD9854

評価ボードREV C、部品表

番号	数量	部品番号	デバイス	パッケージ	値
1	5	C1, C2, C35, C36, C45	Chip Cap	0805	0.01 μ F
2	23	C3, C7, C8, C9, C10, C11, C12, C13, C14, C15, C16, C17, C18, C19, C20, C22, C23, C24, C26, C27, C28, C29, C44	Chip Cap	0805	0.1 μ F
3	2	C4, C37	0805	0805	27 pF
4	2	C5, C38	0805	0805	47 pF
5	3	C6, C21, C25	BCAPTAJD	TAJD	10 μ F
6	2	C30, C39	0805	0805	39 pF
	2	C31, C40	0805	0805	22 pF
8	2	C32, C41	0805	0805	2.2 pF
9	2	C33, C42	0805	0805	12 pF
10	2	C34, C43	0805	0805	8.2 pF
11	7	J1, J2, J3, J4, J5, J6, J7	Conn	BNC	
12	1		PCB	GS02669REVC	
13	1	J10	40CONN	SAM5-40	
14	4	L1, L2, L3, L5	Chip Ind	1206	68NH
15	2	L4, L6	Chip Ind	1206	82NH
16	2	R1, R5	RES_SM	1206	51
17	2	R2, R20	RES_SM	1206	3900
18	2	R3, R7	RES_SM	1206	24
19	1	R4	RES_SM	1206	1300
20	3	R6, R8, R19	RES_SM	1206	50
21	2	R9, R10	RES_SM	1206	100
22	2	R11, R14	RES_SM	1206	160
23	2	R12, R13	RES_SM	1206	260
24	4	R15, R16, R17, R18	RES_SM	1206	10K
25	1	RP1	RP1	SIP-10P	10K
26	1	TB	TB4	TB4	
27	1	U1	AD9854	80LQFP	
28	1	U2	74HC125A	SO14	
29	1	U3	MC100LVEL1	SO8NB	
30	4	U4, U5, U6, U7	74HC14	SO14	
31	3	U8, U9, U10	74HC574	SO20WB	
32	1	U11	36PINCONN	CONN	
33	7	W1, W2, W3, W4, W5, W8, W9	JUMP3PIN	SIP-3P	
34	8	W6, W7, W10, W11, W12, W14, W15, W16	2PINJUMP	2PINJUMP	
35	1	Y1	XTAL	COSC	
36	4		PIN SOCK	Amp 5-330808-6	

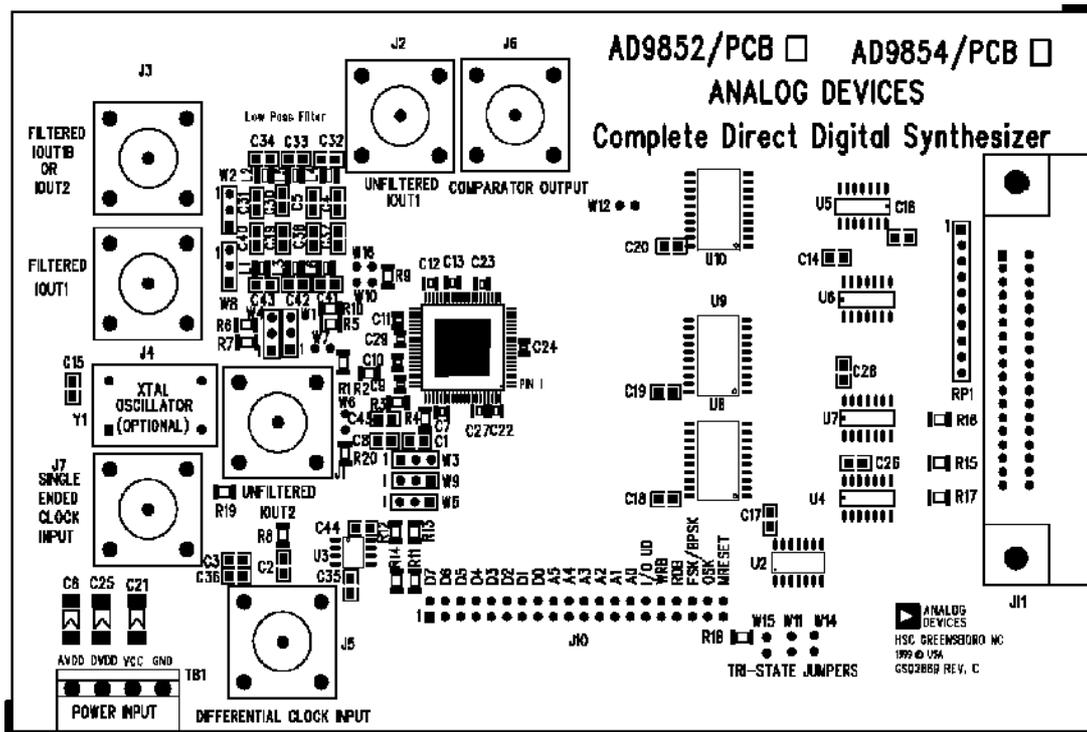


図63 アセンブリ図

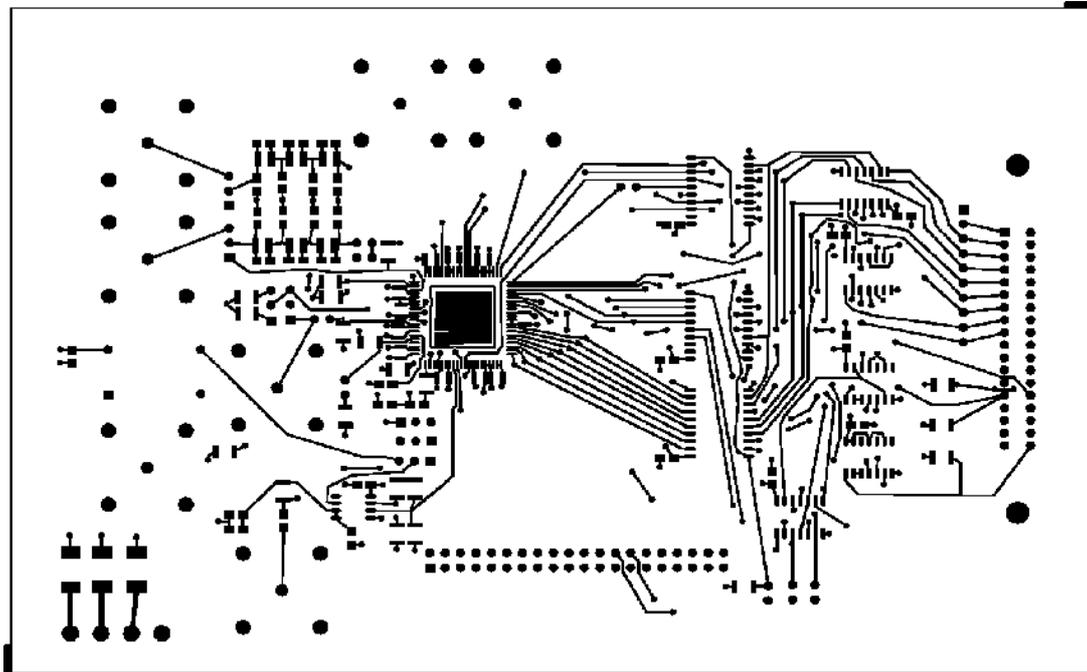


図64 表面配線層、レイヤー1

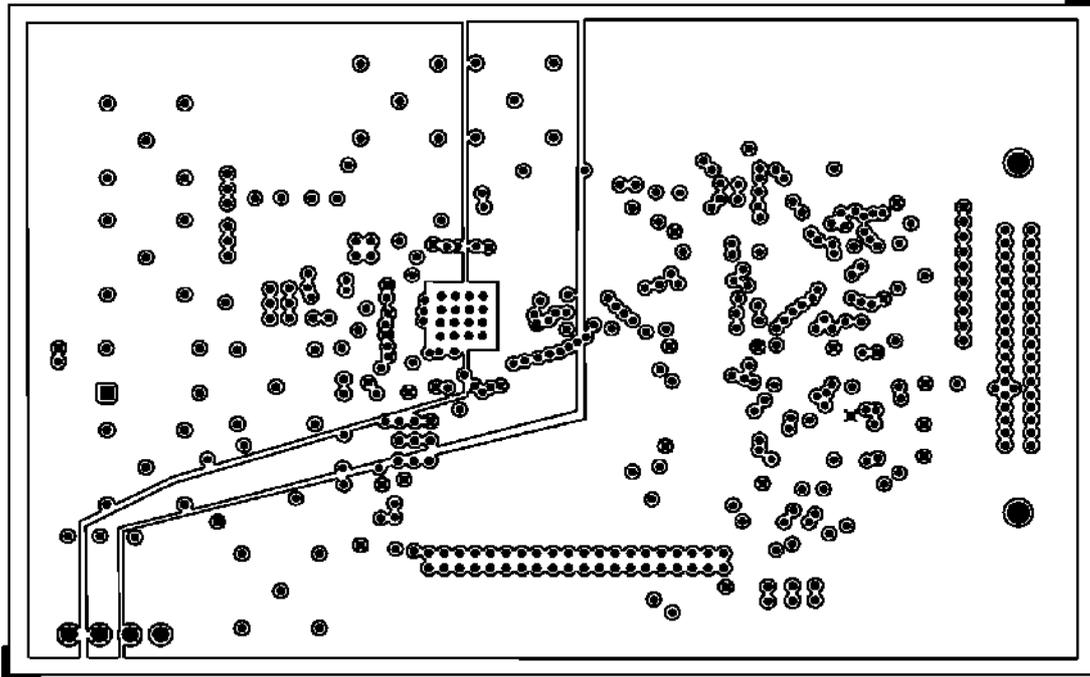


図65.電源プレーン層、レイヤー2

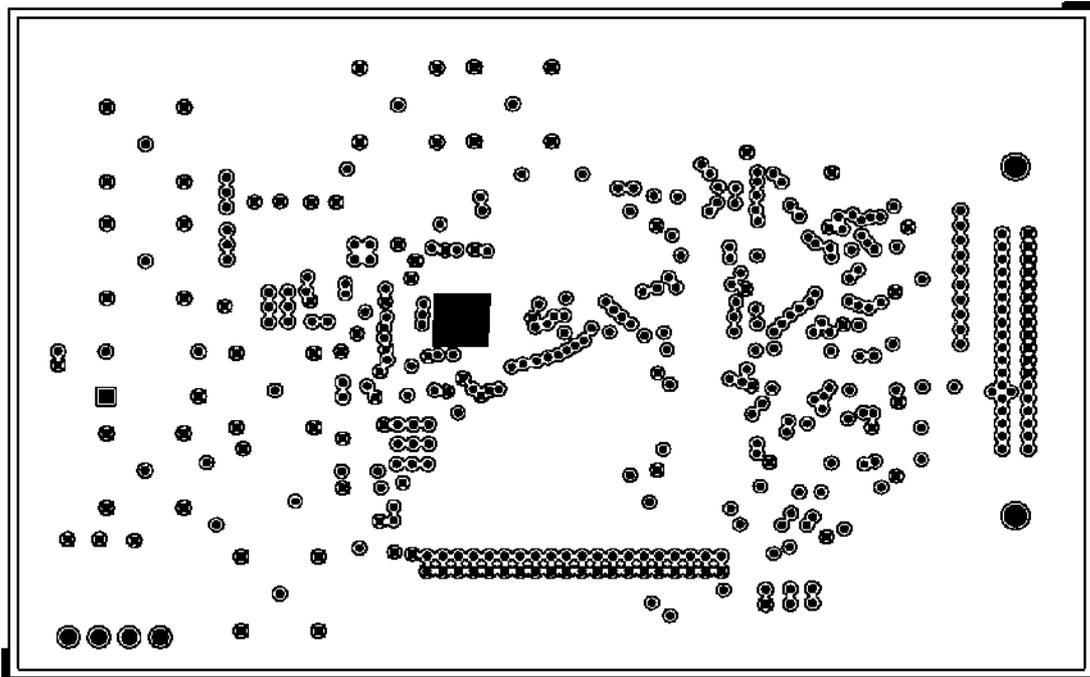


図66.グラウンド・プレーン層、レイヤー3

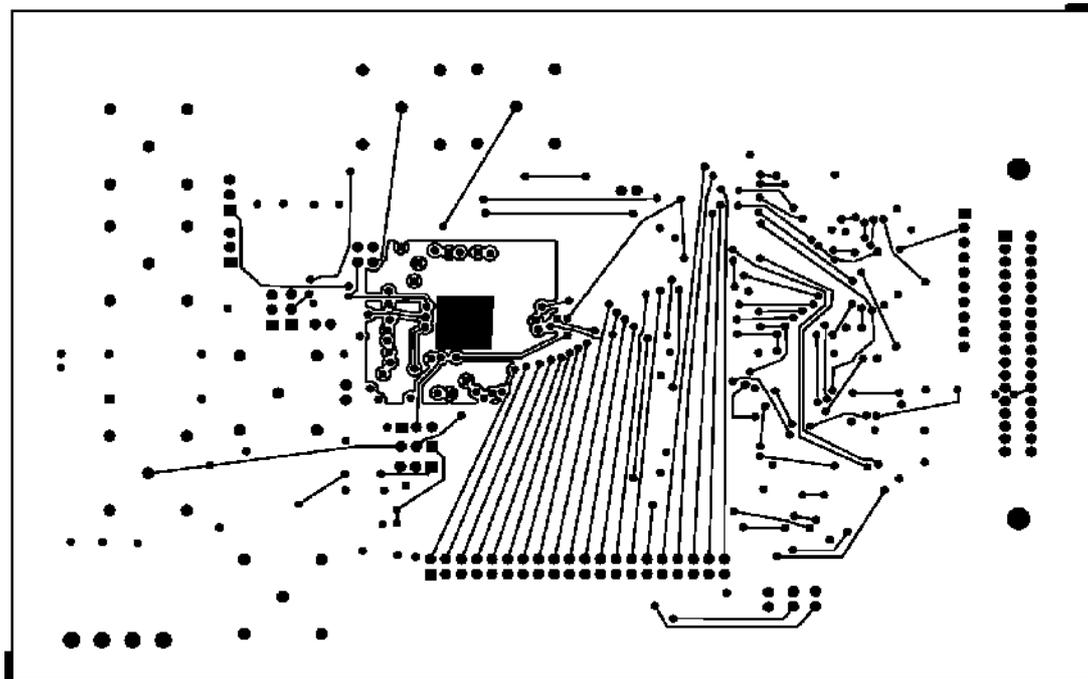


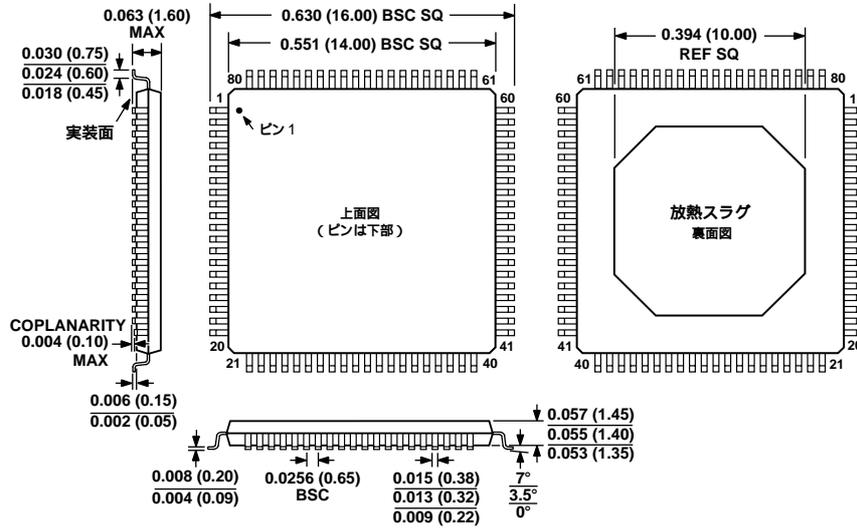
図67 裏面配線層、レイヤー4

AD9854

外形寸法

単位はインチと(mm)で示します。

80ピンLQFP_ED (SQ-80)



寸法はmmで採寸。
注記がない限り、中心値は公称値。

80ピンLQFP (ST-80)

