

特長

LF412 と TL082 の機能強化置き換えバージョン

AC 性能

±0.01%へのセトリング・タイム: 1.0 μs

最小スルーレート: 16 V/μs (AD712J)

最小ユニティ・ゲイン帯域幅: 3 MHz (AD712J)

DC 性能

最小オープン・ループ・ゲイン: 200 V/mV (AD712K)

表面実装製品を EIA-481A 規格準拠のテープ&リールで提供

MIL-STD-883B 準拠製品を提供

シングル・バージョン: AD711

クワッド・バージョン: AD713

PDIP、SOIC_N または CERDIP パッケージを採用

接続図

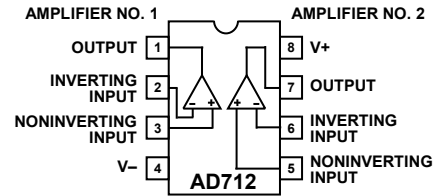


図1.8 ピンの PDIP (N サフィックス)、
SOIC_N (R サフィックス)、CERDIP (Q サフィックス)

概要

AD712 は、低価格で高性能を提供する高速高精度モノリシック・オペアンプです。このデバイスの非常に小さいオフセット電圧とオフセット電圧ドリフトは、最新のレーザ・ウエハー・トリミング技術により可能になりました。これらの性能上の利点を使うと、多くの場合バイポーラ・オペアンプで実現した旧型の高精度 BiFET を使った既存デザインを容易にアップグレードすることができます。

このオペアンプは優れた AC 性能と DC 性能を持つため、アクティブ・フィルタ・アプリケーションに適しています。AD712 は、16 V/μs のスルーレートと 1 μs のセトリング・タイム (±0.01%へのセトリング)を持つため、12 ビットの D/A コンバータと A/D コンバータや高速積分器のバッファとして最適です。セトリング・タイムは同様の IC アンプより優れています。

AD712 は、優れたノイズ性能と低入力電流の組み合わせを持つため、フォトダイオード・プリアンプにも適しています。88 dB の同相モード除去比と 400 V/mV のオープン・ループ・ゲインにより、高速なユニティ・ゲイン・バッファ回路でも 12 ビット性能を保証します。

AD712 は標準オペアンプ構成のピン配置を持ち、7 種類の性能グレードがあります。AD712J と AD712K は 0°C~70°C の商用温度範囲で、AD712A は-40°C~+85°C の工業用温度範囲で、それぞれ仕様を規定しています。AD712S は-55°C~+125°C の軍

用温度範囲仕様で、MIL-STD-883B, Rev. C 準拠品を提供しています。

商用温度範囲および工業用温度範囲仕様の高信頼性 PLUS スクリーニング製品も提供しています。PLUS スクリーニングには、環境テストおよび物理テストの他に 168 時間のバーンインが含まれています。

AD712 は、8 ピンの PDIP、SOIC_N または CERDIP パッケージを採用しています。

製品のハイライト

- AD712 は、優れた全体性能を低価格で提供します。
- アナログ・デバイセズの最新プロセス技術と 100%テストにより、低入力オフセット電圧(最大 3 mV、J グレード)を保証します。入力オフセット電圧は、動作状態で規定しています。
- AD712 は、高精度 DC 性能と優れたダイナミック応答を提供します。±0.01%へのセトリングは 1 μs で、最小スルーレートは 16 V/μs です。このため、AC 性能と DC 性能の組み合わせを必要とする DAC や ADC のバッファのようなアプリケーションに最適です。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2006 Analog Devices, Inc. All rights reserved.

Rev. G

目次

特長	1	アプリケーション情報	14
接続図	1	ガーディング	14
概要	1	D/Aコンバータ・アプリケーション	14
製品のハイライト	1	ノイズ特性	15
改訂履歴	2	A/Dコンバータ・アナログ入力の駆動	15
仕様	3	大きな容量負荷の駆動	16
絶対最大定格	5	フィルタ	17
ESDに関する注意	5	アクティブ・フィルタ・アプリケーション	17
代表的な性能特性	6	2次ローパス・フィルタ	17
セトリング・タイム	11	9極チエビシェフ・フィルタ	18
セトリング・タイムの最適化	11	外形寸法	19
オペアンプのセトリング・タイム—数学モデル	12	オーダー・ガイド	20

改訂履歴

8/06—Rev. F to Rev. G

Edits to Figure 1	1
Change to 9-Pole Chebychev Filter Section	18

6/06—Rev. E to Rev. F

Updated Format	Universal
Deleted B, C, and T Models	Universal
Changes to General Description	1
Changes to Product Highlights	1
Changes to Specifications Section	3
Changes to Figure 43	15

7/02—Rev. D to Rev. E

Edits to Features	1
-------------------------	---

9/01—Rev. C to Rev. D

Edits to Features	1
Edits to General Description	1
Edits to Connection Diagram	1
Edits to Ordering Guide	3
Deleted Metalization Photograph	3
Edits to Absolute Maximum Ratings	3
Edits to Figure 7	9
Edits to Outline Dimensions	15

仕様

特に指定がない限り、 $V_S = \pm 15\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。太字で示す仕様は、最終電気テストですべての製品ユニットについてテストされます。これらのテスト結果を使って、出荷品質レベルが計算されます。太字で示す項目のみがすべての製品ユニットについてテストされますが、すべての min 仕様と max 仕様が保証されます。

表1.

Parameter	AD712J/A/S			AD712K			Unit
	Min	Typ	Max	Min	Typ	Max	
INPUT OFFSET VOLTAGE ¹							
Initial Offset		0.3	3/1/1		0.2	1.0	mV
T_{MIN} to T_{MAX}			4/2/2			2.0	mV
vs. Temp		7	20/20/20		7	10	$\mu\text{V}/^\circ\text{C}$
vs. Supply	76	95		80	100		dB
T_{MIN} to T_{MAX}	76/76/76			80			dB
Long-Term Offset Stability		15			15		$\mu\text{V}/\text{month}$
INPUT BIAS CURRENT ²							
$V_{\text{CM}} = 0\text{ V}$		25	75		20	75	pA
$V_{\text{CM}} = 0\text{ V @ } T_{\text{MAX}}$		0.6/1.6/26	1.7/4.8/77		0.5	1.7	nA
$V_{\text{CM}} = \pm 10\text{ V}$			100			100	pA
INPUT OFFSET CURRENT							
$V_{\text{CM}} = 0\text{ V}$		10	25		5	25	pA
$V_{\text{CM}} = 0\text{ V @ } T_{\text{MAX}}$		0.3/0.7/11	0.6/1.6/26		0.1	0.6	nA
MATCHING CHARACTERISTICS							
Input Offset Voltage			3/1/1			1.0	mV
T_{MIN} to T_{MAX}			4/2/2			2.0	mV
Input Offset Voltage Drift			20/20/20			10	$\mu\text{V}/^\circ\text{C}$
Input Bias Current			25			25	pA
Crosstalk							
@ $f = 1\text{ kHz}$		120			120		dB
@ $f = 100\text{ kHz}$		90			90		dB
FREQUENCY RESPONSE							
Small Signal Bandwidth	3.0	4.0		3.4	4.0		MHz
Full Power Response		200			200		kHz
Slew Rate	16	20		18	20		$\text{V}/\mu\text{s}$
Settling Time to 0.01%		1.0	1.2		1.0	1.2	μs
Total Harmonic Distortion		0.0003			0.0003		%
INPUT IMPEDANCE							
Differential		$3 \times 10^{12} 5.5$			$3 \times 10^{12} 5.5$		ΩpF
Common Mode		$3 \times 10^{12} 5.5$			$3 \times 10^{12} 5.5$		ΩpF
INPUT VOLTAGE RANGE							
Differential ³		± 20			± 20		V
Common-Mode Voltage ⁴		$+14.5, -11.5$			$+14.5, -11.5$		V
T_{MIN} to T_{MAX}	$-V_S + 4$		$+V_S - 2$	$-V_S + 4$		$+V_S - 2$	V
Common-Mode Rejection Ratio							
$V_{\text{CM}} = \pm 10\text{ V}$	76	88		80	88		dB
T_{MIN} to T_{MAX}	76/76/76	84		80	84		dB
$V_{\text{CM}} = \pm 11\text{ V}$	70	84		76	84		dB
T_{MIN} to T_{MAX}	70/70/70	80		74	80		dB
INPUT VOLTAGE NOISE							
		2			2		$\mu\text{V p-p}$
		45			45		$\text{nV}/\sqrt{\text{Hz}}$
		22			22		$\text{nV}/\sqrt{\text{Hz}}$
		18			18		$\text{nV}/\sqrt{\text{Hz}}$
		16			16		$\text{nV}/\sqrt{\text{Hz}}$
INPUT CURRENT NOISE							
		0.01			0.01		$\text{pA}/\sqrt{\text{Hz}}$
OPEN-LOOP GAIN							
	150	400		200	400		V/mV
	100/100/100			100			V/mV

Parameter	AD712J/A/S			AD712K			Unit
	Min	Typ	Max	Min	Typ	Max	
OUTPUT CHARACTERISTICS							
Voltage	+13, -12.5	+13.9, -13.3		+13, -12.5	+13.9, -13.3		V
Current	$\pm 12/\pm 12/\pm 12$	+13.8, -13.1		± 12	+13.8, -13.1		V
		+25			+25		mA
POWER SUPPLY							
Rated Performance		± 15			± 15		V
Operating Range	± 4.5		± 18	± 4.5		± 18	V
Quiescent Current		+5.0	+6.8		+5.0	+6.0	mA

¹ 入力オフセット電圧仕様は、 $T_A = 25^\circ\text{C}$ で 5 分間動作後について保証します。

² バイアス電流仕様は、 $T_A = 25^\circ\text{C}$ で 5 分間動作後にいずれかの入力で最大値を保証します。これより高い温度では、電流は 10°C ごとに 2 倍になります。

³ いずれの入力電圧もグラウンドより $\pm 10\text{ V}$ を超えないように入力間の電圧として定義されます。

⁴ いずれかの入力で -14.1 V の負同相モード電圧を超えると、出力位相の反転が発生します。

絶対最大定格

表2.

Parameter	Rating
Supply Voltage	±18 V
Internal Power Dissipation ¹	
Input Voltage ²	±18 V
Output Short-Circuit Duration	Indefinite
Differential Input Voltage	+V _S and -V _S
Storage Temperature Range	
Q-Suffix	-65°C to +150°C
N-Suffix and R-Suffix	-65°C to +125°C
Operating Temperature Range	
AD712J/K	0°C to 70°C
AD712A	-40°C to +85°C
AD712S	-55°C to +125°C
Lead Temperature Range (Soldering 60 sec)	300°C

¹熱特性:

8 ピン PDIP パッケージ: $\theta_{JA} = 165^{\circ}\text{C}/\text{W}$

8 ピン CERDIP パッケージ: $\theta_{JC} = 22^{\circ}\text{C}/\text{W}$; $\theta_{JA} = 110^{\circ}\text{C}/\text{W}$

8 ピン SOIC パッケージ: $\theta_{JA} = 100^{\circ}\text{C}/\text{W}$

²電源電圧が±18 V 以下の場合は、絶対最大電圧は電源電圧に等しくなります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

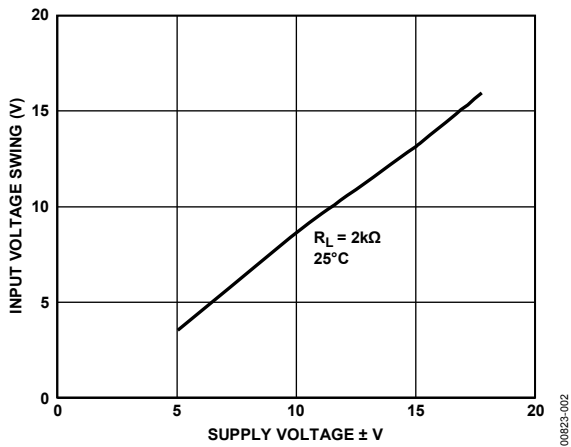


図2.電源電圧対入力電圧振幅

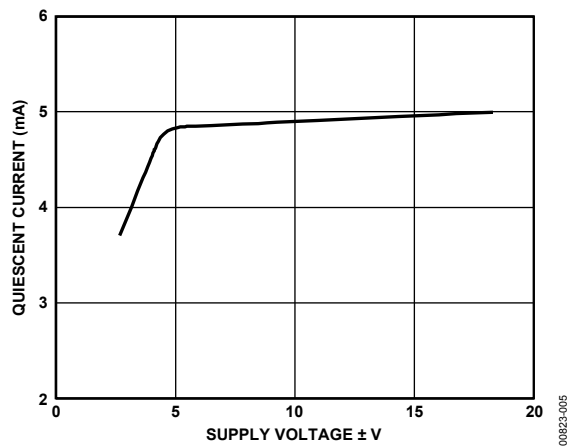


図5.電源電圧対静止電流

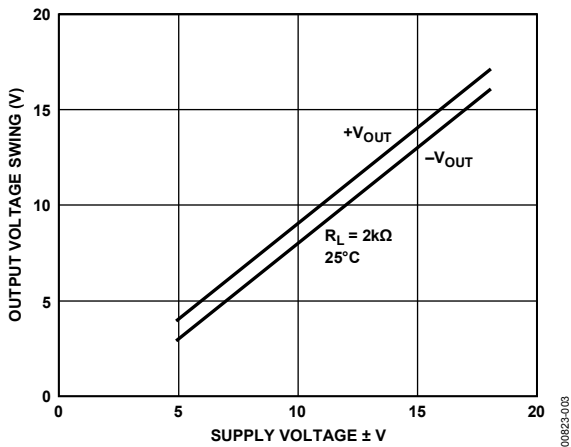


図3.電源電圧対出力電圧振幅

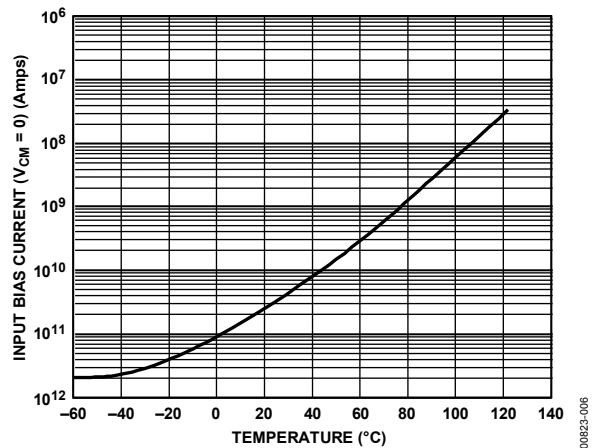


図6.入力バイアス電流の温度特性

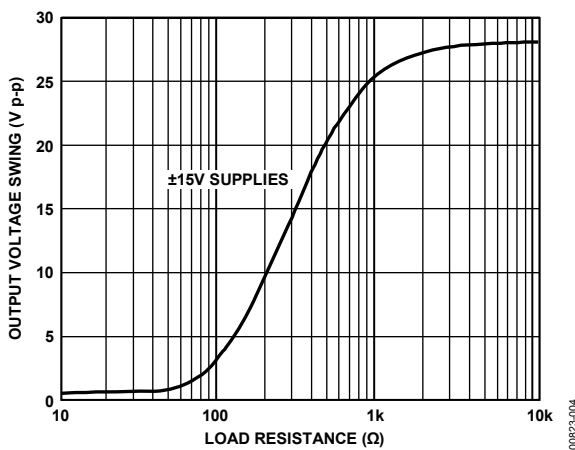


図4.負荷抵抗対出力電圧振幅

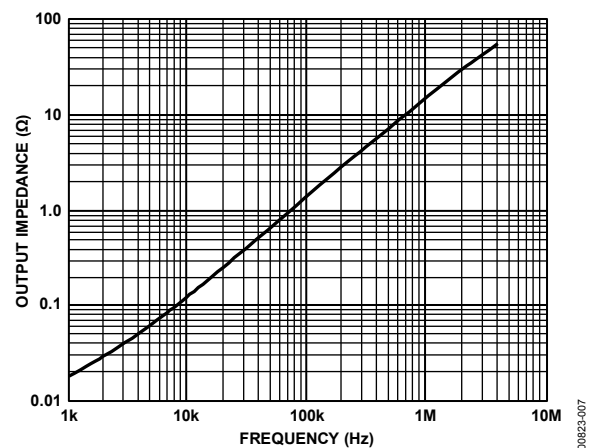


図7.出カインピーダンスの周波数特性

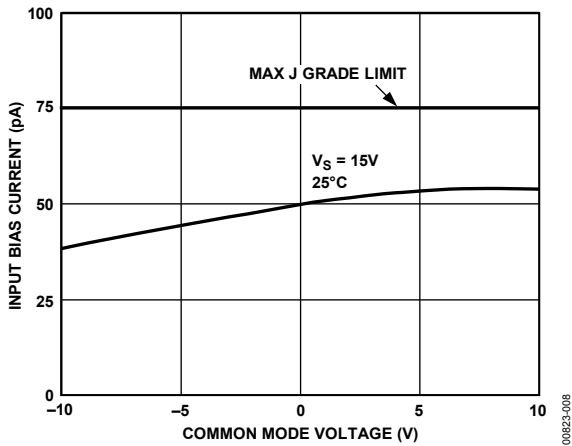


図8.同相モード電圧対入力バイアス電流

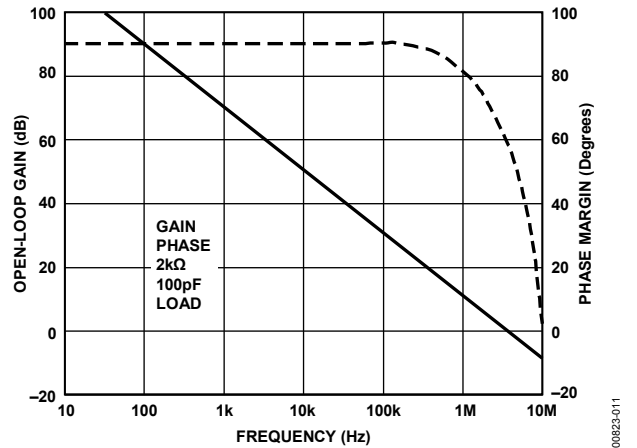


図11.オープン・ループ・ゲインおよび位相マージンの周波数特性

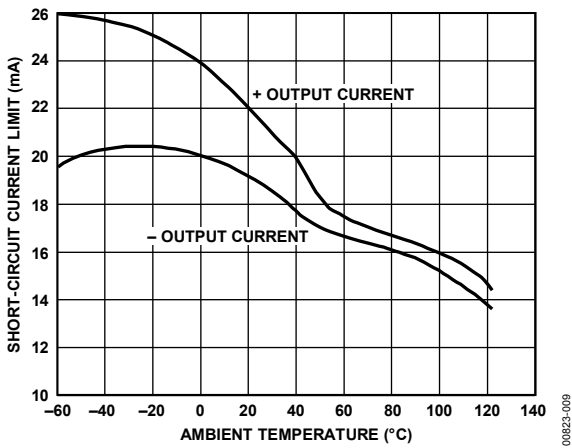


図9.短絡電流限界値の温度特性

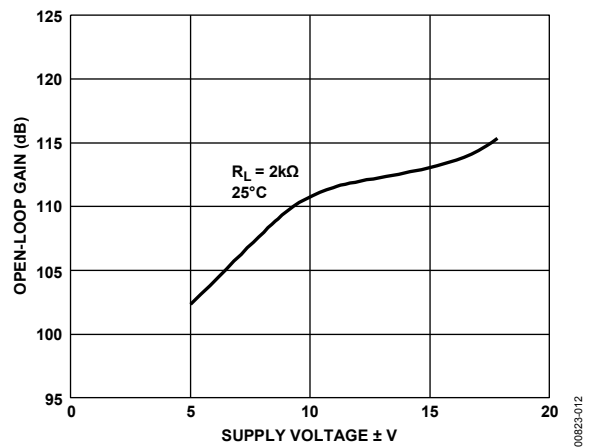


図12.電源電圧対オープン・ループ・ゲイン

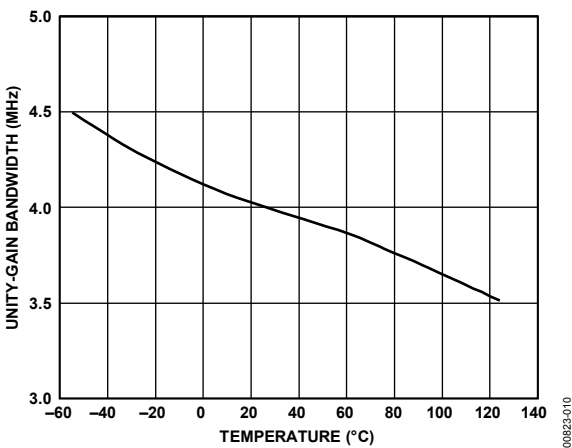


図10.ユニティ・ゲイン帯域幅の温度特性

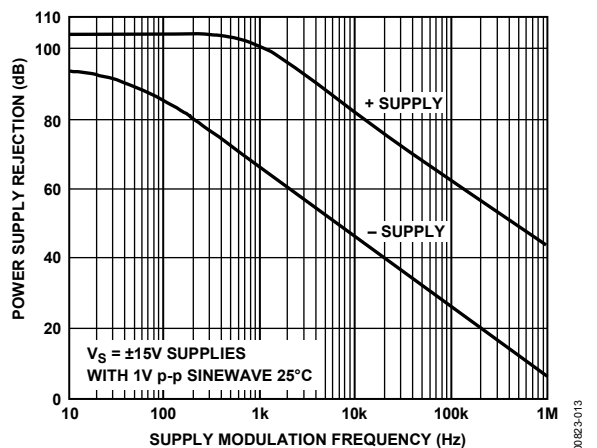


図13.電源除去比の周波数特性

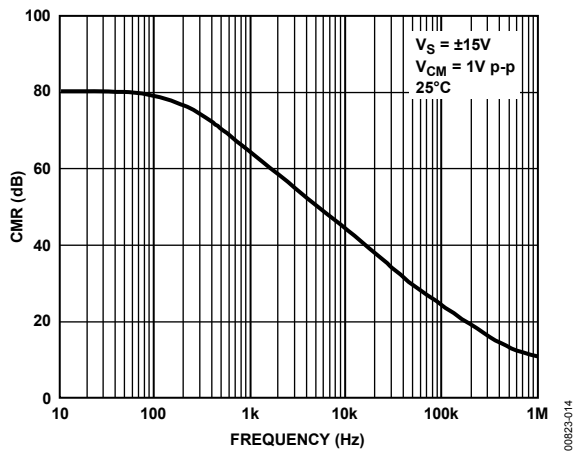


図14.同相モード除去比の周波数特性

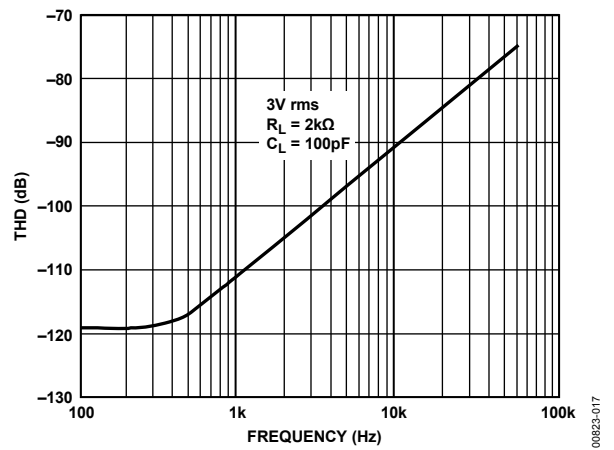


図17.総合高調波歪みの周波数特性

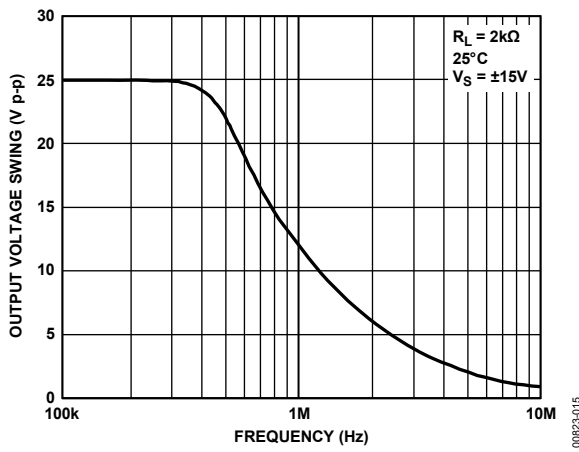


図15.大信号周波数応答

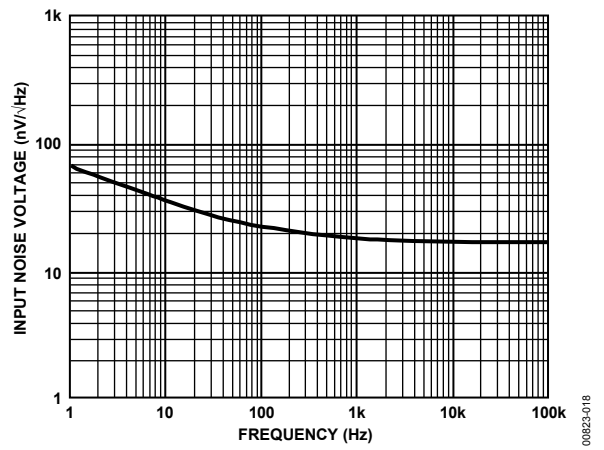


図18.入力ノイズ電圧スペクトル密度

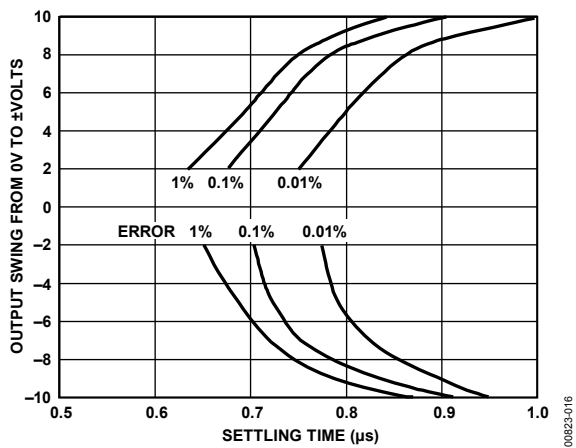


図16.セトリング・タイム対出力振幅および誤差

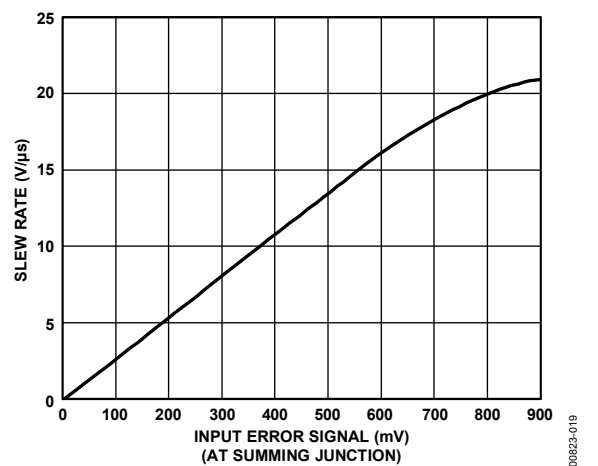


図19.入力誤差信号対スルーレート

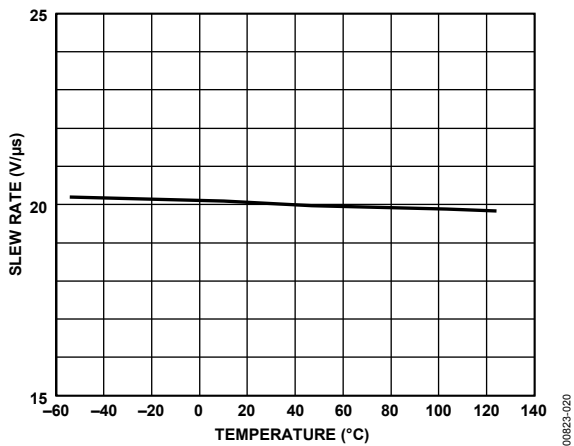


図20.スルーレートの温度特性

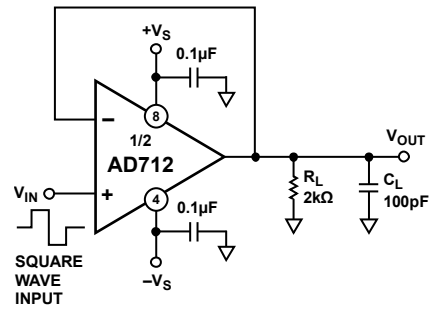


図23.ユニティ・ゲイン・フォロア

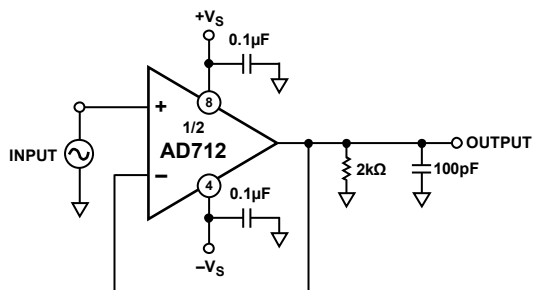


図21.THD のテスト回路

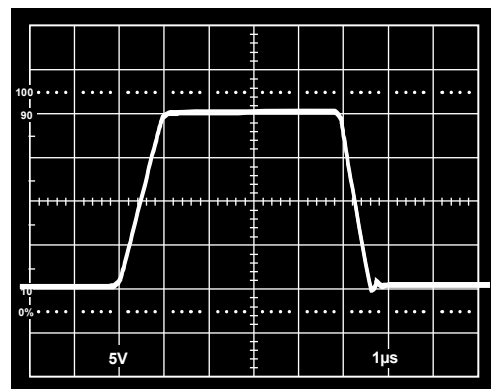


図24.ユニティ・ゲイン・フォロアのパルス応答(大信号)

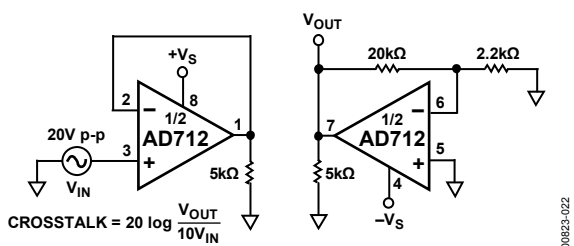


図22.クロストークのテスト回路

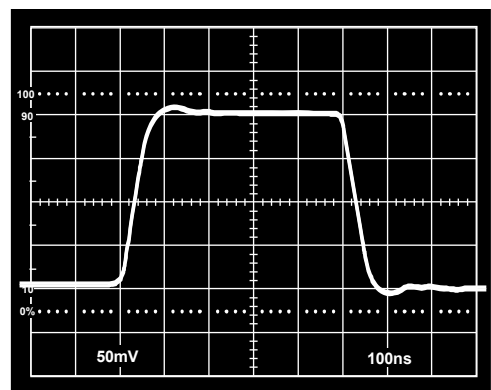
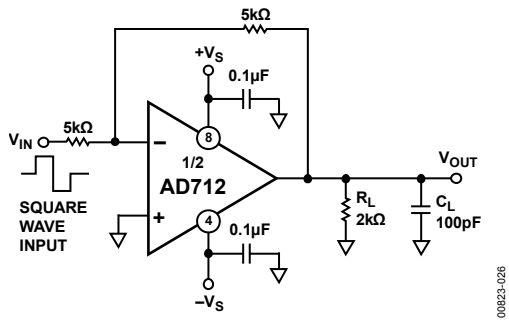
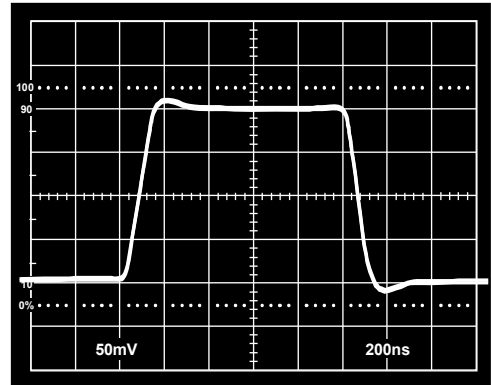


図25.ユニティ・ゲイン・フォロアのパルス応答(小信号)



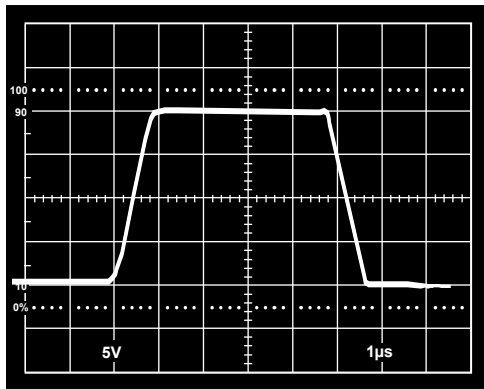
00823-026

図26.ユニティ・ゲイン・インバータ



00823-028

図28.ユニティ・ゲイン・インバータのパルス応答(小信号)



00823-027

図27.ユニティ・ゲイン・インバータのパルス応答(大信号)

セトリング・タイム

セトリング・タイムの最適化

大部分のバイポーラ高速 D/A コンバータ(DAC)は電流出力であるため、多くのアプリケーションでは電流から電圧へ変換する外付けオペアンプが必要です。コンバータとオペアンプの組み合わせのセトリング・タイムは、DAC と出力アンプのセトリング・タイムに依存します。これは次式で近似されます。

$$t_s \text{ Total} = \sqrt{(t_s \text{ DAC})^2 + (t_s \text{ AMP})^2}$$

DAC バッファ・オペアンプのセトリング・タイムは、回路のノイズ・ゲイン、DAC 出力容量、DAC 出力スケール抵抗の外付け補償容量に応じて変化します。

バイポーラ DAC のセトリング・タイムは、一般に 100 ns~500 ns です。従来型オペアンプは、一般的な最新 DAC のセトリング・タイムより大きいセトリング・タイムを必要としたため、アンプのセトリング・タイムが高速な電圧出力 D/A コンバータ機能の主な制約条件になっていました。1 μs のセトリング・タイム(最終値の±0.01%)を持つ AD71x ファミリー・オペアンプの登場により、高速な最新 DAC を実現できるようになりました。

AD71x ファミリーは、セトリング・タイムの大幅な改善に加えて、低オフセット電圧、低オフセット電圧ドリフト、高オープン・ループ・ゲインにより、フル動作温度範囲で 12 ビット精度を保証します。

AD712 の優れた高速性能を図 30 と図 31 のオシロスコープ写真に示します。測定は、低入力容量アンプを AD712 の加算点に直結して行いました。両図には、ワーストケース状態のフルスケール入力変化を示します。DAC の 4 kΩ [10 kΩ]8 kΩ = 4.4 kΩ] 出力インピーダンスと 10 kΩ 帰還抵抗により、オペアンプ・ノイズ・ゲイン = 3.25 となります。DAC 電流出力にはオペアンプ出力で 10 V のステップが発生します(図 30 では 0 から -10 V へ、図 31 では -10 V から 0 V へ)。

このため、理想オペアンプでは、±1/2 LSB (±0.01%) へのセトリングのためには、加算点に 375 μV 以下の電圧が現れる必要があります。これは、入力と出力との間の誤差(AD712 の加算点に現れる電圧)が 375 μV 以下である必要があることを意味します。図 30 に示すように、AD712/AD565A 組み合わせの総合セトリング・タイムは 1.2 μs になります。

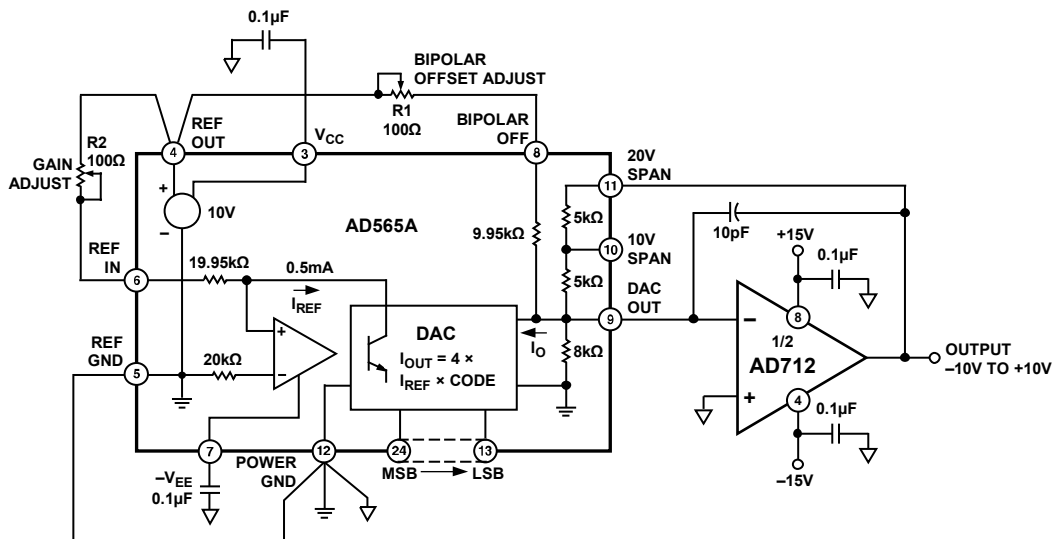


図29.±10 V 電圧出力のバイポーラ DAC

001823-029

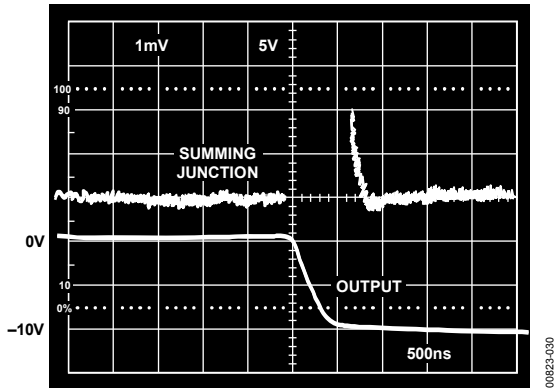


図30. AD712 + AD565A のセトリング特性、フル・スケール立ち下がり変化

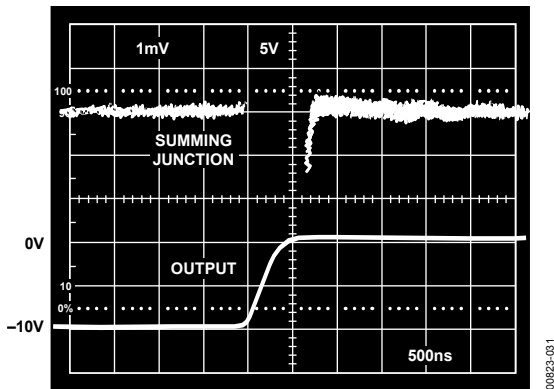


図31. AD712 + AD565A のセトリング特性、フル・スケール立ち上がり変化

オペアンプのセトリング・タイム—数学モデル

AD712 のデザインでは、個々の回路部品の最適化に注意を払っています。さらに、慎重にトレードオフを行い、ゲイン帯域幅積(4 MHz)とスルーレート(20 V/μs)を非常に高速なセトリング・タイムを得るように十分大きくし、かつ位相マージン(したがって安定性)を大幅に損なわないように大き過ぎないようにしています。AD712はこのようにデザインされているため、10 V出力ステップで 1 μs 以内に±0.01%へセトリングすると同時に、ユニティ・ゲイン・フォロアとして動作したとき 250 pF の負荷容量を駆動する能力を維持しています。

オペアンプをユニティ・ゲイン・クロスオーバー周波数 = $\omega_o/2\pi$ の理想積分器としてモデル化すると、式 1 はバイポーラDACまたはCMOS DACの出力に1/Vコンバータとして接続したオペアンプで構成される回路(図 32)の小信号動作を正確に表します。オペアンプの有限なスルーレートとその他の非直線性効果を対象としない場合、この式はシステムの出力を完全に記述します。

$$\frac{V_o}{I_{IN}} = \frac{-R}{\frac{R(C_X)}{\omega_o} s^2 + \left(\frac{G_N}{\omega_o} + RC_f \right) s + 1} \quad (1)$$

ここで、

$\frac{\omega_o}{2\pi}$ = オペアンプのユニティ・ゲイン周波数。

$$G_N = \text{回路のノイズ・ゲイン} \left(1 + \frac{R}{R_o} \right)$$

この式を C_f について解くと、

$$C_f = \frac{2 - G_N}{R\omega_o} + 2 \sqrt{\frac{RC_X\omega_o + (1 - G_N)}{R\omega_o}} \quad (2)$$

これらの式で、容量 C_X はオペアンプの反転端子に現れる合計容量。DACバッファ・アプリケーションをモデル化する場合、図 32 のノートン等価回路を直接使用することができます。容量 C_X はDAC出力とオペアンプ入力容量の合計容量 (両者は並列)。

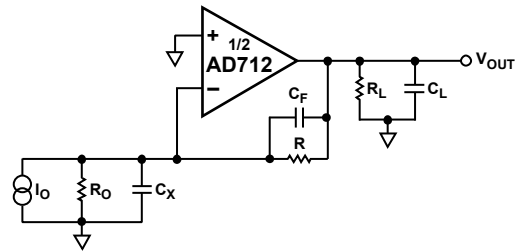


図32.電流出力 DAC バッファとして使用した AD712 の簡略化したモデル

R_o と I_o をテブナン等価 V_{IN} と R_{IN} で置き換えると、汎用反転アンプ(図 33)が得られます。この一般モデルを使う場合、シンプルな反転オペアンプをシミュレーションするときは、容量 C_X はオペアンプのいずれかの入力容量になり、DACバッファをモデル化するときは、DAC出力とオペアンプ入力の合計容量になることに注意してください。

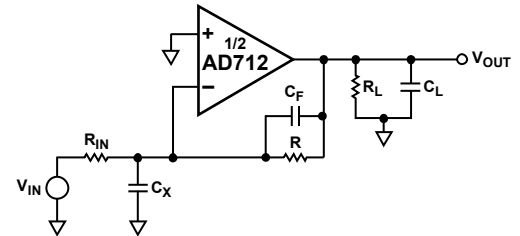


図33.インバータとして使用した AD712 の簡略化したモデル

両ケースとも、容量 C_X のためにシステムは 1 極応答から 2 極応答に変わります。この極の追加により、オペアンプ出力にピーキングまたはリンギングが発生してセトリング・タイムが大きくなります。 C_X の値は適切な精度で計算できるため、小さいコンデンサ値(C_f)を式 2 を使って選択して、入力の極を相殺させてアンプ応答を最適化することができます。図 34に、 $R = 4 \text{ k}\Omega$ のAD712 に対する式 2 の図式解法を示します。

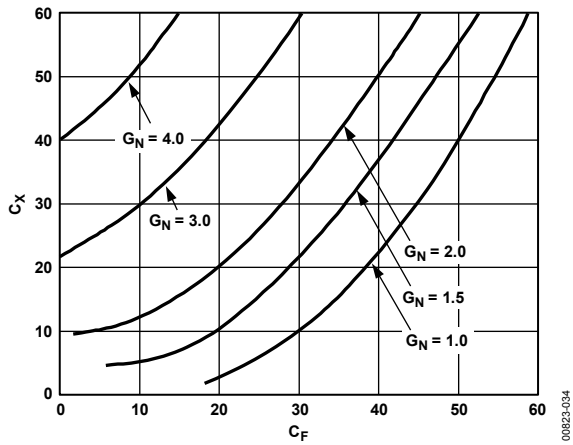


図34. C_x の値対コンデンサ C_f の値

図 35 と 図 36 に、図 37 のセトリング・テスト回路を使った AD712 のダイナミック応答を示します。

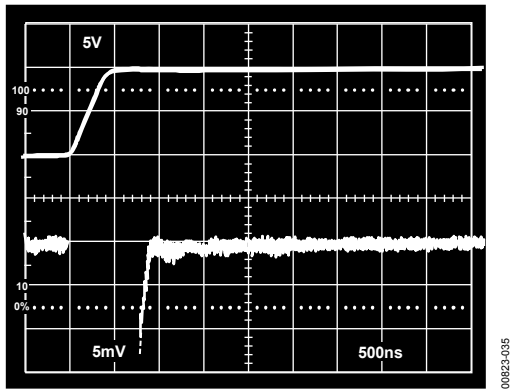


図35.セトリング特性、0V→+10Vステップ
上側: AD712 の出力 (5 V/Div)
下側: 増幅された誤差電圧(0.01%/Div)

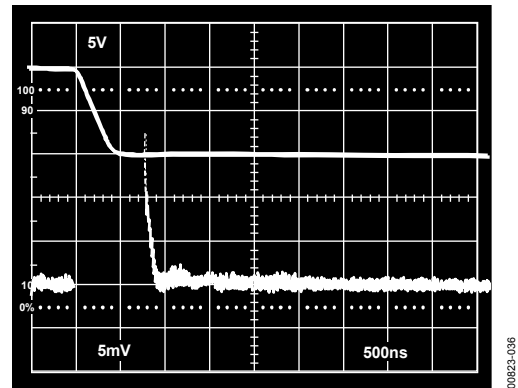


図36.セトリング特性、0V→10Vステップ
上側: AD712 の出力 (5 V/Div)
下側: 増幅された誤差電圧(0.01%/Div)

セトリング・タイム測定での入力は、高レベルが平坦なパルスが発生するジェネレータから駆動します。A1 の偽加算ノードからの誤差信号出力は、A2 によりクランプ/増幅された後に、再度クランプされます。したがって、誤差信号は 2 回クランプされます。1 回目はアンプ A2 の過負荷を防止するため、2 回目はオシロスコープ・プリアンプの過負荷を防止するためです。Tektronix 社のオシロスコープ・プリアンプ・タイプ 7A26 を慎重に選択しました。これらの入力レベルでは過負荷しないためです。アンプ A2 は、非常に高速な FET 入力オペアンプである必要があります。ゲイン= 10 で A1 の誤差信号出力を増幅します。

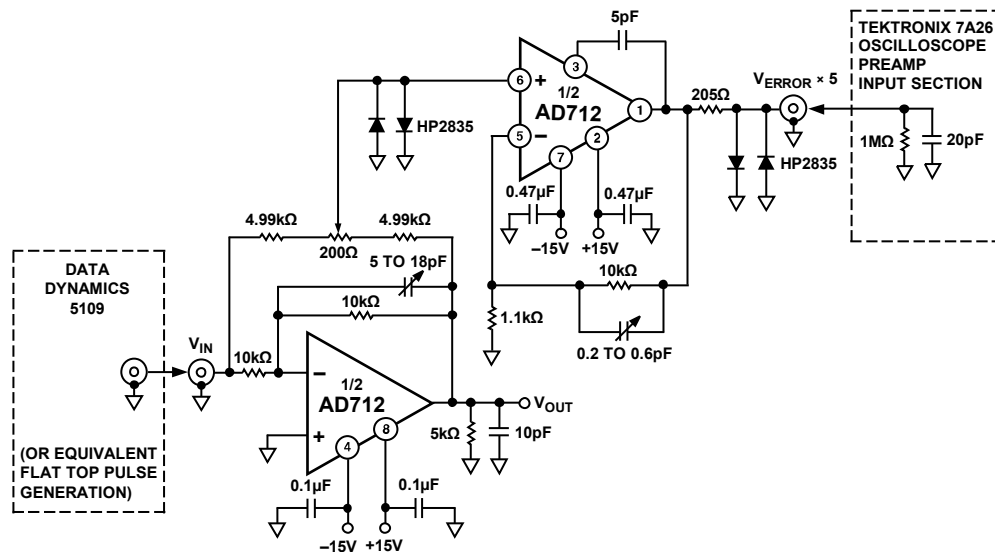


図37.セトリング・タイムのテスト回路

アプリケーション情報

ガーディング

AD712 BiFETオペアンプは低入力バイアス電流(15 pA)と低ノイズ特性を持つため、フォトダイオードのプリアンプやピコアンペア電流を電圧に変換するコンバータのような電位計アプリケーションに適しています。プリント回路ボードのレイアウトや構造に 図 38に示すようなガード技術を使うことは、リーク電流を小さくするために重要です。ガード・リングを入力と同じレベルの低インピーダンス電位に接続します。高インピーダンスの信号ラインは、プリント回路ボード上で短くする必要があります。

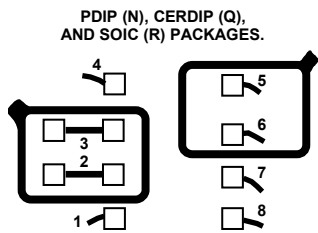


図38. ガード入力のボード・レイアウト

D/Aコンバータ・アプリケーション

AD712は、CMOS DAC用の優れた出力アンプです。2象限動作と4象限動作に使用することができます。反転 R2R ラダーを採用するDACの出力インピーダンスは、1を多く含むコードではRに、1を1個含むコードでは3Rに、それぞれ近づきます。すべて0のコードでは、出力インピーダンスは無限大になります。

例えば、AD7545の出力抵抗は11 kΩ~33 kΩで変化します。このため、DAC内部帰還抵抗が11 kΩの場合、ノイズ・ゲインは2~4/3で変化します。この変化するノイズ・ゲインにより、アンプの入力オフセット電圧の影響が変化して、DACアンプ性能に非直線性が生じます。

700 μVのオフセット電圧を保証したAD712Kでは、この影響を小さくして12ビット性能を実現しています。

図 39 と 図 40に、ユニポーラ・バイナリ(2象限乗算)動作またはバイポーラ(4象限乗算)動作に構成したAD712とAD7545(12ビットCMOS DAC)を示します。コンデンサC1は、オーバーシュートとリングングを抑える位相補償を提供します。

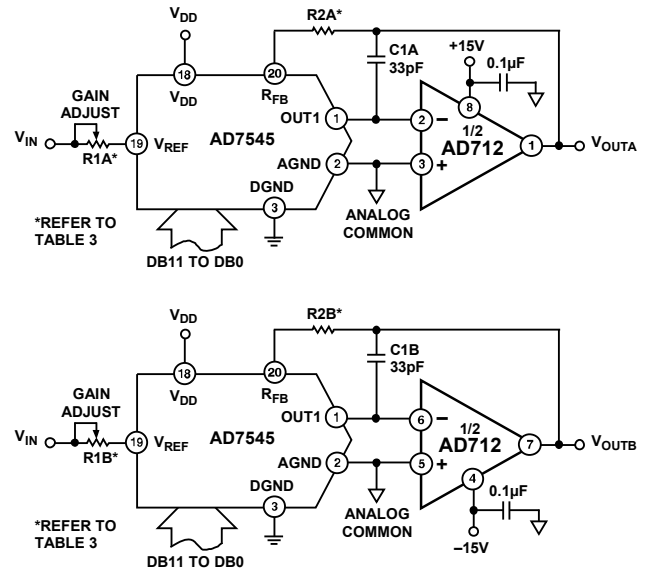


図39. ユニポーラ・バイナリ動作

R1とR2により、DACのゼロ・オフセットとゲイン誤差をキャリブレーションします。これらの抵抗の規定値はAD7545のグレードに依存し、表3に示します。

表3. AD7545のグレード対トリム抵抗の推奨値、V_{DD} = 5 V

Trim Resistor	JN/AQ	KN/BQ	LN	GLN
R1	500 Ω	200 Ω	100 Ω	20 Ω
R2	150 Ω	68 Ω	33 Ω	6.8 Ω

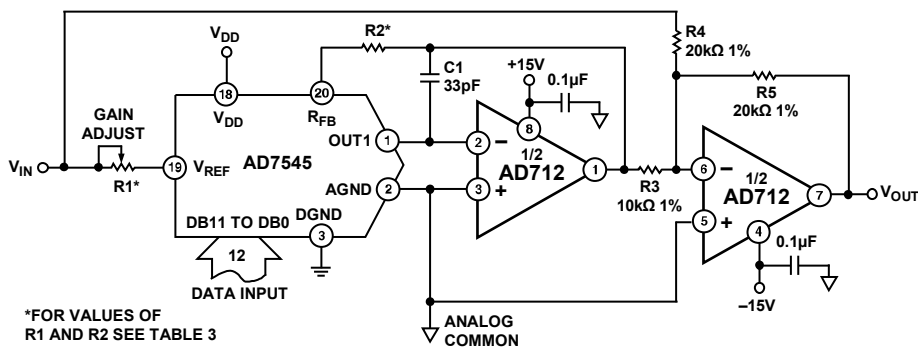


図40. バイポーラ動作

図 41 と 図 42に、AD7545 のDAC出力バッファとして使用した場合のAD712 のセトリング・タイム特性を示します。

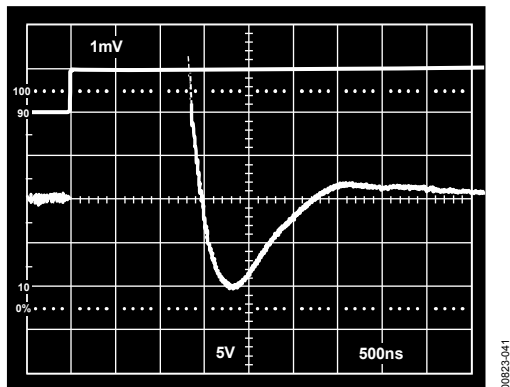


図41. AD712 + AD7545 の正のセトリング特性

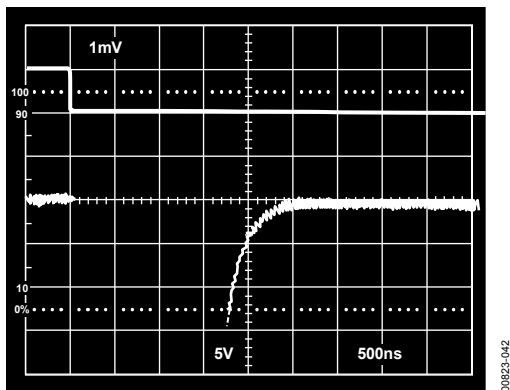


図42. AD712 + AD7545 の負のセトリング特性

ノイズ特性

ノイズのランダム性により、特にフリッカ・ノイズ領域では、実用的な項目を規定することは困難です。同時に、高精度計装機器のデザインでは、機器のフル精度を実現するために最大ノイズ・レベルの保証が必要です。AD712 の全グレードは、規定値 $6 \mu\text{V p-p}$ 、 $0.1 \text{ Hz} \sim 10 \text{ Hz}$ の AQL ベースでサンプル・テストされています。

A/Dコンバータ・アナログ入力の駆動

図 43に示すようなADCのアナログ入力を駆動するオペアンプは、負荷状態がダイナミックに変化しても一定出力電圧を維持する必要があります。逐次比較型コンバータでは、切り替えられる一連のトライアル電流と入力電流が比較されます。比較ポイントはダイオードでクランプされますが、数百mVの差が生じて、A/D入力電流の高周波変調が発生します。ループ・ゲインにより、帰還アンプの出力インピーダンスが意図的に低くされます。ループ・ゲインが低い高周波では、アンプ出力インピーダンスはオープン・ループ値に近づくことができます。大部分のICアンプは、電流制限抵抗があるため 25Ω の最小オープン・ループ出力インピーダンスになります。

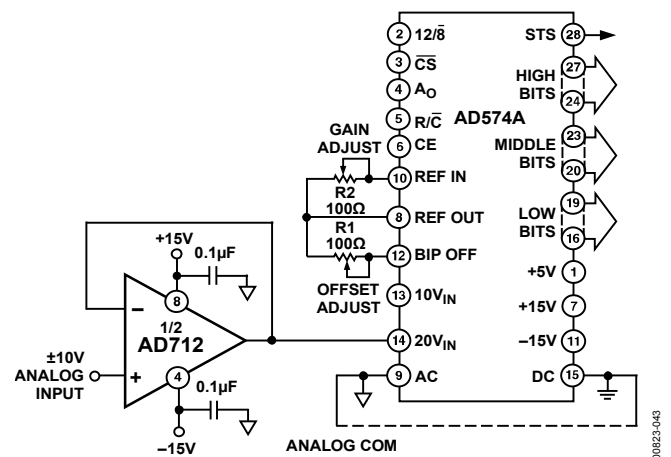


図43.ADC のユニティ・ゲイン・バッファとして使用した AD712

コンバータ負荷の変化を反映する数百 μA の電流により、瞬時入力電圧に誤差が発生します。A/D 変換速度が大きくなく、かつアンプ帯域幅が十分な場合、コンバータでの比較の前にアンプ出力は公称値へ戻りますが、多くのアンプは比較的狭い帯域幅を持つため、出力過渡電圧からの回復が低速になります。AD712 は広い帯域幅と高いオープン・ループ・ゲインを持つため、高速 A/D コンバータの駆動に最適です。

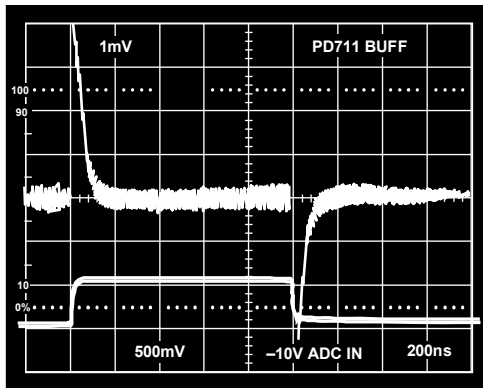


図44.ADC 入力ユニティ・ゲイン・バッファの回復時間
-10 V ADC 入力

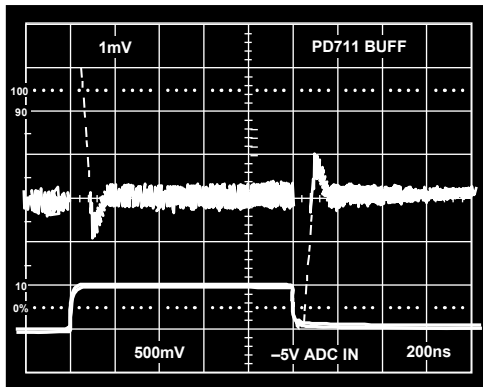


図45.ADC 入力ユニティ・ゲイン・バッファの回復時間
-5 V ADC 入力

大きな容量負荷の駆動

図 46の回路では、アンプから 1500 pFを超える容量負荷を駆動できる 100 Ωのアイソレーション抵抗を使用しています。この抵抗は、負荷から高周波帰還をアイソレーションして回路を安定化します。低周波帰還は、100 Ωの直列抵抗と負荷容量 C_L で構成されるローパス・フィルタを経由してアンプ加算点に戻されます。図 47に、この接続の代表的な過渡応答を示します。

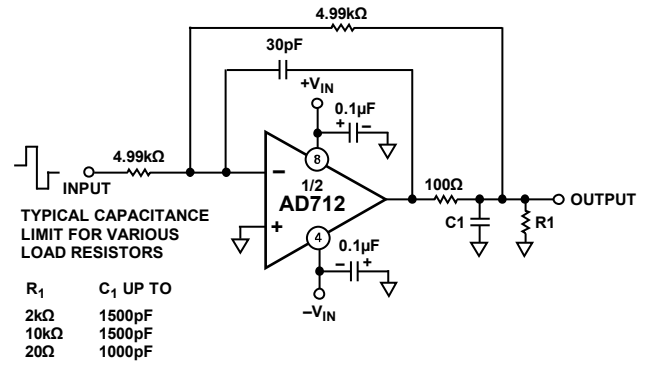


図46.大きな容量負荷を駆動する回路

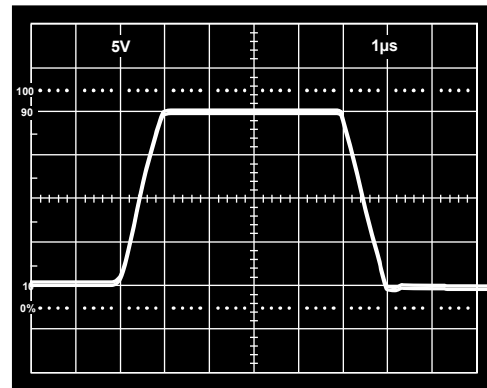


図47.過渡応答、 $R_L = 2 \text{ k}\Omega$ 、 $C_L = 500 \text{ pF}$

フィルタ

アクティブ・フィルタ・アプリケーション

オペアンプを使うアクティブ・フィルタ・アプリケーションでは、フィルタ性能を最適化するためにアンプの DC 精度が重要です。アンプのオフセット電圧とバイアス電流は、出力誤差の原因になります。オフセット電圧はフィルタを通過して増幅されて、大きな出力オフセットになります。大きな値の入力抵抗を必要とする低周波アプリケーションでは、これらの抵抗を流れるバイアス電流も、オフセット電圧を発生させます。

さらに、高い周波数では、オペアンプのダイナミック動作を慎重に考慮する必要があります。この場合、スルーレート、帯域幅、オープン・ループ・ゲインが、オペアンプの選択で重要になります。スルーレートは高速で、かつ歪みを小さくするために対称である必要があります。フィルタの周波数応答は、アンプの帯域幅とフィルタ・ゲインの組み合わせにより支配されます。

AD712 のような高性能アンプを使用すると、すべてのアクティブ・フィルタ・アプリケーションで DC 誤差と AC 誤差を小さくすることができます。

2次ローパス・フィルタ

図 48 に、2次のバターワース・ローパス・フィルタとして構成されたAD712を示します。図の値ではコーナー周波数は 20 kHzですが、AD712 の広い帯域幅により、数百kHzのコーナー周波数も可能です。部品選択の式を次に示します。

$$R1 = R2 = \text{ユーザ選択値(一般に } 10 \text{ k}\Omega \sim 100 \text{ k}\Omega)$$

$$C1 \text{ (単位 F)} = \frac{1.414}{(2\pi)(f_{\text{cutoff}})(R1)}$$

$$C2 = \frac{0.707}{(2\pi)(f_{\text{cutoff}})(R1)}$$

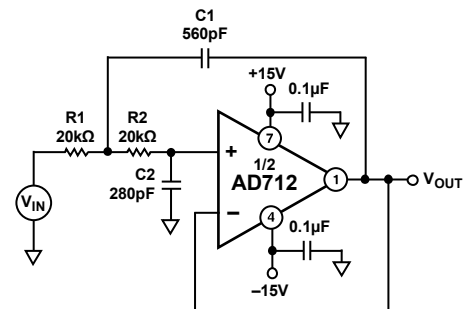


図48.2 次ローパス・フィルタ

フィルタの重要な特性は、帯域外除去比です。図 48に示すシンプルな 20 kHzローパス・フィルタを使用して、クロック・パルスまたは高周波で大きいエネルギーを持つサンプリング・グリッチが混入した信号をコンディショニングすることができます。

AD712は低出力インピーダンスと広い帯域幅を持つため、図 49に示すように高周波フィードスルーを小さくすることができます。上側のカーブは、別の低価格BiFETオペアンプのカーブであり、フィードスルーが 5 MHzで 17 dB高くなっています。

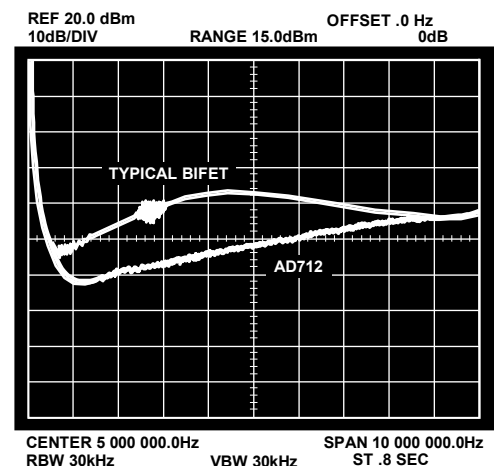


図49.高周波フィードスルー

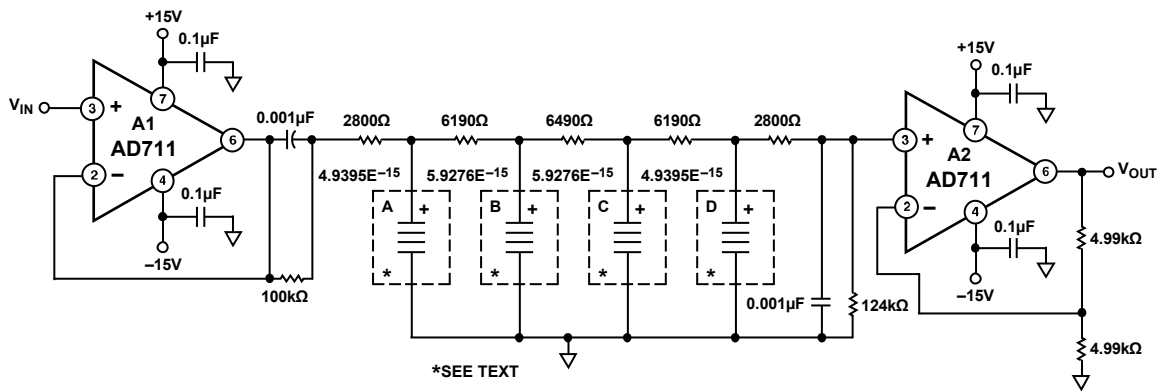


図50.9 極チェビシェフ・フィルタ

9 極チェビシェフ・フィルタ

図 50 と図 51 に、周波数依存のアクティブ負抵抗 (FDNR) を使った 9 極チェビシェフ・フィルタに使用した AD712 とそのデュアル・バージョン AD711 を示します。このフィルタのカットオフ周波数は 50 kHz で、90 dB 以上の除去比を持つため、100 kHz スループットの 12 ビット・データ・アキュイジション・システムで、折り返し防止フィルタとして使うことができます。

図 50 に示すように、フィルタは 4 個の FDNR (A、B、C、D) で構成されています。これらの FDNR の値は、 4.9395×10^{-15} Fsec と 5.9276×10^{-15} Fsec です。各 FDNR アクティブ回路は、合計 8 個の極に対して 2 極応答を提供します。9 番目の極は、0.001 μF のコンデンサと 124 kΩ の抵抗から構成されています (アンプ A2 のピン 3)。図 51 に、各 FDNR の回路と R の選択を示します。最適性能を得るためには、0.001 μF のコンデンサは 1% 以上のマッチングで選択し、すべての抵抗は 1% より優れた偏差を持つ必要があります。

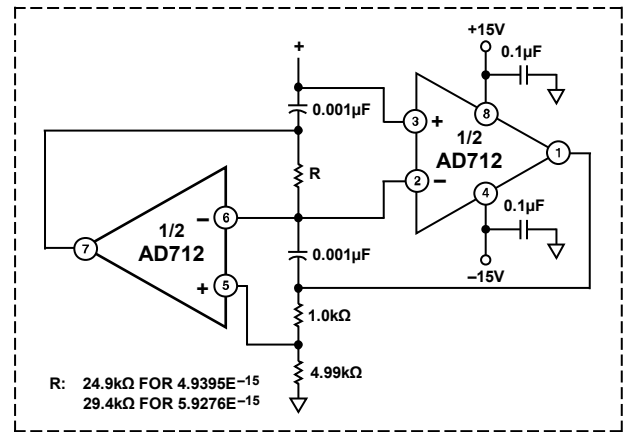


図51.9 極チェビシェフ・フィルタの FDNR

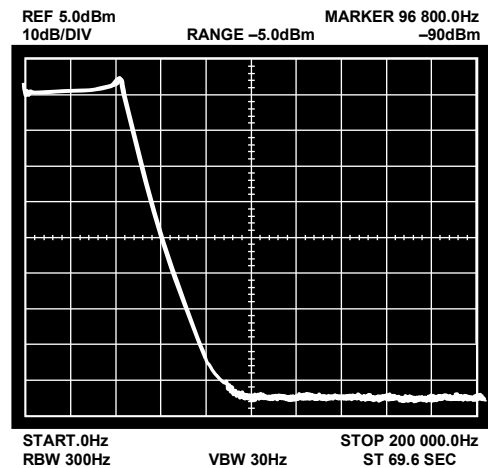
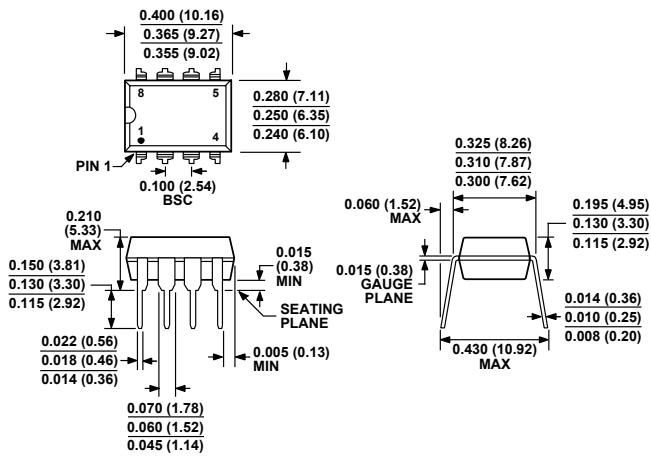


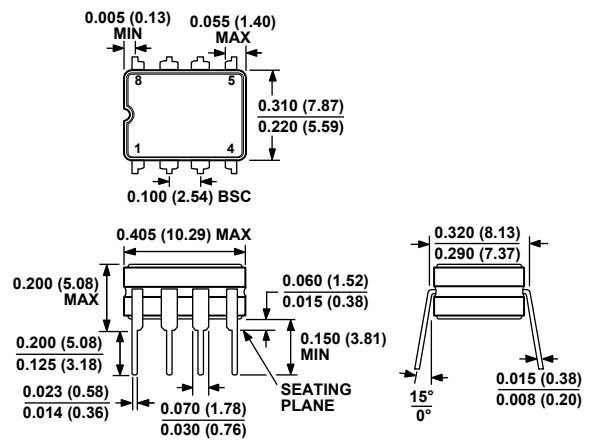
図52.9 極チェビシェフ・フィルタの高周波数応答

外形寸法



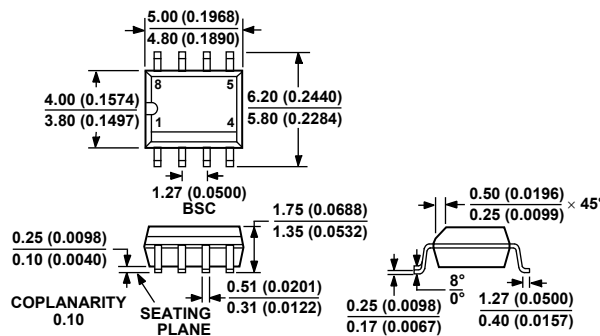
COMPLIANT TO JEDEC STANDARDS MS-001-BA
 CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN. CORNER LEADS MAY BE CONFIGURED AS WHOLE OR HALF LEADS.

図53. 8ピン・プラスチック・デュアルインライン・パッケージ
 [PDIP]
 (N-8)
 寸法:インチ(mm)



CONTROLLING DIMENSIONS ARE IN INCHES; MILLIMETER DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF INCH EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図54. 8ピン・セラミック・デュアルインライン・パッケージ
 [CERDIP]
 (Q-8)
 寸法:インチ(mm)



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図55. 8ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ
 (R-8)
 寸法: mm (インチ)

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD712AQ	-40°C to +85°C	8-Lead CERDIP	Q-8
AD712JN	0°C to 70°C	8-Lead PDIP	N-8
AD712JNZ ¹	0°C to 70°C	8-Lead PDIP	N-8
AD712JR	0°C to 70°C	8-Lead SOIC_N	R-8
AD712JR-REEL	0°C to 70°C	8-Lead SOIC_N	R-8
AD712JR-REEL7	0°C to 70°C	8-Lead SOIC_N	R-8
AD712JRZ ¹	0°C to 70°C	8-Lead SOIC_N	R-8
AD712JRZ-REEL ¹	0°C to 70°C	8-Lead SOIC_N	R-8
AD712JRZ-REEL7 ¹	0°C to 70°C	8-Lead SOIC_N	R-8
AD712KN	0°C to 70°C	8-Lead PDIP	N-8
AD712KNZ ¹	0°C to 70°C	8-Lead PDIP	N-8
AD712KR	0°C to 70°C	8-Lead SOIC_N	R-8
AD712KR-REEL	0°C to 70°C	8-Lead SOIC_N	R-8
AD712KR-REEL7	0°C to 70°C	8-Lead SOIC_N	R-8
AD712KRZ ¹	0°C to 70°C	8-Lead SOIC_N	R-8
AD712KRZ-REEL ¹	0°C to 70°C	8-Lead SOIC_N	R-8
AD712KRZ-REEL7 ¹	0°C to 70°C	8-Lead SOIC_N	R-8
AD712SQ/883B	-55°C to +125°C	8-Lead CERDIP	Q-8

¹Z = 鉛フリー・デバイス。